

УДК 681.325.65

МОДЕЛИРОВАНИЕ ПОТРЕБЛЕНИЯ МОЩНОСТИ В ЭЛЕМЕНТАХ ЦИФРОВЫХ УСТРОЙСТВ

Т. Грэсь, В. В. Соловьев, И. Р. Булатова

*Белостокский политехнический университет,
Wiejska, 45A, 15-351 Bialystok, Poland
E-mail: i.bulatowa@pb.edu.pl*

Описывается современное состояние исследований в области методов моделирования и вычисления потребляемой мощности в цифровых устройствах. Показано, что выбор соответствующей модели и метода вычисления мощности имеет огромное влияние на качество проектирования цифровых систем с низким потреблением мощности, в частности на скорость и точность вычислений. Представлен анализ различных подходов вычисления потребляемой мощности на разных уровнях абстракции как для комбинационных, так и для последовательностных схем. Особое внимание уделено методам определения потребляемой мощности в устройствах программируемой логики.

Ключевые слова: потребляемая мощность, цифровые устройства, моделирование потребляемой мощности.

Введение. Моделирование потребляемой мощности в цифровых устройствах имеет очень большое значение при проектировании устройств с низким потреблением мощности (low-power design), а также при проектировании, ориентированном на понижение потребляемой мощности (power-aware design). Выбор модели и метода моделирования имеет значительное влияние на качество и время проектирования. Точные методы вычисления потребляемой мощности в общем случае являются медленными и по этой причине не используются при определении мощности в больших и сложных цифровых системах. В то же время быстрые методы вносят ошибку вследствие использования различного рода приближений и упрощений как в вычислениях, так и в модели цифрового устройства.

Целью предлагаемой работы является обзор различных методов моделирования потребляемой мощности в цифровых устройствах, которые были разработаны за последние несколько лет.

Классические методы моделирования цифровых устройств для вычисления потребляемой мощности были представлены в [1, 2]. Новые методы используют достижения в различных областях информатики, например сети Петри [3], сети Байеса [4, 5] или фракталы [6, 7].

В моделировании потребляемой мощности цифровых устройств применяется разделение на уровни абстракции в зависимости от способа представления схемы (устройства). Наиболее часто используется разделение на три уровня:

1. Gate Level (GL) — уровень вентилях (нижний), на котором устройство представлено в виде связей между вентилями и триггерами. На этом уровне модель наиболее приближена к реальному устройству, однако вычисление мощности здесь наиболее трудоемко, особенно для больших и сложных устройств.

2. Register Transfer Level (RTL) — уровень регистровых передач, где устройство представлено в виде передачи данных между регистрами. Это средний уровень между точностью и сложностью вычислений.

3. Behavioral Level (BL) — уровень поведения, на котором устройство представляется в виде сети действий (алгоритма), выполняемых устройством, или связей между функциональными блоками (например, счетчиками, регистрами) без деталей конструкции самих

блоков. На этом уровне потребляемая мощность находится через аппроксимацию мощности, вычисленной на нижнем уровне для данного типа функционального блока.

Иногда выделяют Transistor Level [1], который служит для моделирования поведения устройства на уровне отдельных транзисторов. Этот уровень позволяет вычислить потребляемую мощность с наибольшей точностью, однако по разным причинам на практике не используется.

Выбор уровня определяется, в частности, размером моделируемого устройства (в случае очень больших и сложных устройств моделирование на уровне вентилях может быть слишком трудоемким) или требуемой точностью вычислений. При вычислении мощности на уровне RTL наиболее часто пользуются результатами, полученными на уровне GL.

В [8] представлен способ моделирования мощности в комбинационных и последовательностных схемах, который рассматривает мощность, выделенную устройством в зависимости от статистики переключений его входов и выходов. В результате имеем квадратные или кубические уравнения четырех переменных, которые позволяют определить выделенную мощность. Модель строится на основе характеристики устройства на уровне вентилях.

В [9] описан метод моделирования комбинационных и последовательностных макроблоков на уровне RTL исключительно на основе битов и слов. Благодаря этому получено большое (до 100 раз) увеличение скорости вычислений по сравнению с методами на уровне GL.

Методы вычисления мощности на уровне BL описаны в [10]. Для моделирования в них использованы диаграммы соединений CBDD (Connective Binary Decision Diagrams).

Моделирование мощности на уровне вентилях. В целях выполнения вычислений необходимо ввести определенные упрощения в схеме вентиля. Наиболее часто используется модель вентиля, показанная на рис. 1. В схемах CMOS мощность выделяется в основном на выходных емкостях (C_{load}), а также на резисторах, ответственных за утечку ($R_{leakage}$). В данной модели устройство управления присоединяет к нагрузке (выходу) вентиля напряжение питания V_{CC} или массу в зависимости от значения, которое должно быть установлено на выходе. Каждое изменение состояния выхода вызывает прохождение тока, связанного с перезарядкой (зарядкой или разрядкой) емкости нагрузки C_{load} , что вызывает выделение мощности.

При вычислении мощности устройств CMOS следует принять [2], что:

— мощность тратится исключительно в емкостях, находящихся на выходах элементов;

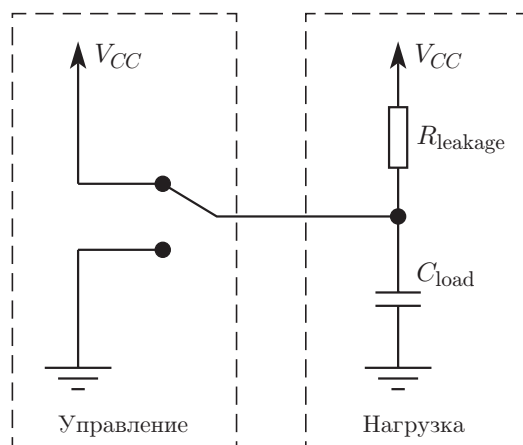


Рис. 1

— ток течет либо от V_{CC} к выходной емкости, либо от выходной емкости к массе;
 — напряжение на выходе логического элемента (вентилля, триггера) может изменяться только с V_{CC} на 0, либо с 0 на V_{CC} .

Таким образом, мощность P_a , потребляемую логическим элементом a , можно вычислить с помощью уравнения

$$P_a = \frac{1}{2} V_{CC}^2 f N_a C_a, \quad (1)$$

где V_{CC} — напряжение питания; f — максимальная частота функционирования (максимальная частота, на которой вычисляются параметры входных и выходных сигналов); C_a — выходная емкость элемента a ; N_a — активность переключения (среднее число изменений состояния выхода в течение одного временного цикла синхросигнала) элемента a .

Все параметры в правой части уравнения (1) за исключением N_a являются величинами постоянными, зависящими от технологии изготовления интегральной схемы. В связи с этим задачу вычисления мощности устройства можно свести к задаче вычисления активности переключения устройства.

Вентиль как любой физический элемент вносит определенную задержку сигнала. В методах вычисления мощности используются две главные модели вентиля: с постоянной задержкой и задержкой вероятностной (probabilistic) [11].

Модель вентиля с постоянной задержкой характеризуется идентичной задержкой сигнала на выходе вентиля по отношению к входному сигналу для каждого вентиля в устройстве. Рассматриваются два случая: вентиль с нулевой задержкой и вентиль с единичной задержкой.

Модель вентиля с вероятностной задержкой характеризуется случайно изменяемой (в определенном диапазоне) задержкой выходного сигнала для отдельных вентилях в схеме. Данная модель является наиболее реалистической.

Использование модели вентиля с постоянной задержкой приводит к исключению многих эффектов, связанных с задержкой сигнала внутри устройства, кроме того, явлений рисков сбоя (hazards) и кратковременных пиков — глитчей (glitches). Дело в том, что сигнал, произведенный риском сбоя или глитчем, приводит к возрастанию потребляемой мощности устройства [11, 12]. Этот сигнал может быть перенесен на выход, но может также затухнуть внутри устройства [13].

Влияние задержки сигнала на входе вентиля на вид выходного сигнала представлено на рис. 2. При наличии задержки сигналы, доходящие до выхода, не будут появляться одновременно. В выходном сигнале появляется импульс, вызывающий выделение дополнительной мощности.

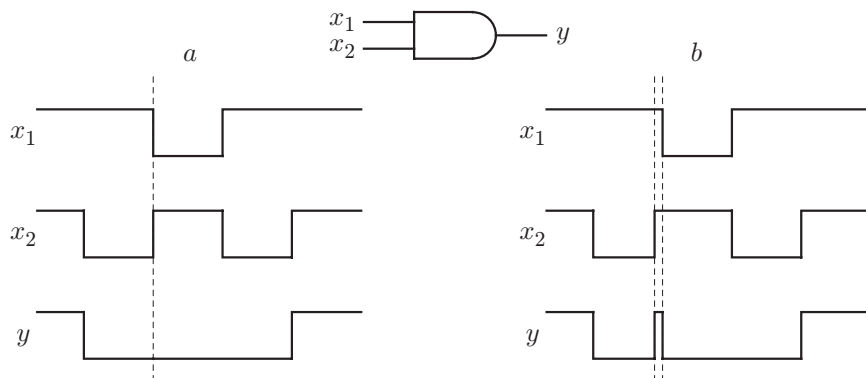


Рис. 2

Вычисление мощности на уровне вентилях (GL) позволяет наиболее точно оценить количество мощности, рассеиваемой вентилями. При этом используется модель соединений между вентилями и триггерами, которая базируется на идеальной схеме устройства и позволяет вычислить мощность в каждой точке. Сложность вычислений в данном случае значительна, поскольку необходимо рассматривать всю структуру устройства. Этот уровень также позволяет получать промежуточные результаты, которые можно экстраполировать на высшие уровни вычислений (RTL, BL). Различают два подхода к решению проблемы: статический и динамический.

Статические методы вычисления мощности основываются на статистических свойствах исследуемого устройства. Активность переключения вычисляется на основе таких параметров входного сигнала, как вероятность появления единицы на каждой входной линии, а также множителей корреляции между сигналами для каждой входной линии в отдельности.

Комбинационные схемы. В этих схемах оценка мощности основывается на вычислении вероятности изменения состояния для выходов всех вентилях в схеме. Чтобы произвести вычисления, следует определить вероятность того, что функция f принимает значение единицы: $f = y_{t-1}\bar{y}_t + \bar{y}_{t-1}y_t$, где y_t — состояние выхода в момент времени t ; y_{t-1} — состояние выхода в момент времени $t-1$; \bar{y}_t, \bar{y}_{t-1} — инверсия состояний выхода в моменты времени t и $t-1$. Когда f принимает значение единицы, происходит изменение значения на выходе y .

Для моделирования комбинационных схем используются бинарные диаграммы решений BDD (Binary Decision Diagrams), а также их модификации. Например, в [14] применен алгоритм вычисления активности переключения комбинационных схем, использующий диаграммы ROBDD (Reduced Ordered Binary Decision Diagrams), который очень хорошо приспособлен для реализации в виде параллельных вычислений.

В [5] для моделирования используются сети Байеса. Активность переключения входных сигналов имеет временную связь с предыдущим значением, а также пространственную с другими узлами устройства. Использование сети Байеса позволяет моделировать все пространственно-временные зависимости и отношения в комбинационной схеме, что приводит к уменьшению ошибок оценки. К сожалению, требования, касающиеся времени преобразования, возрастают с увеличением сложности устройства. В [4] используются логически индуцированные ориентированные ациклические графы LIDAG (Logic-Induced Directed Acyclic Graph). Показано также, что они соответствуют сетям Байеса, благодаря чему могут быть использованы для моделирования комбинационных схем.

Для больших устройств вычисление мощности требует много времени. Одним из подходов к сокращению времени вычисления мощности является разбиение — деление большой схемы на фрагменты меньшего размера и выполнение вычислений для каждой части в отдельности. Предложенный в [15] метод сохраняет весь набор связей, что позволяет не снижать точность вычислений.

Последовательностные схемы. В данном случае используется моделирование с помощью дискретных цепей Маркова $\{X^t | t \in T\}$ с конечным числом состояний $A = \{a_1, \dots, a_M\}$ при условии, что время T дискретно [16].

В вычислении статических вероятностей используются уравнения Колмогорова. Для каждого состояния a_i конечного автомата ($1 \leq i \leq M$) можно записать равенства

$$P(a_i) = \sum_{k=1}^M P(a_k)P(I_{ki}), \quad (2)$$

где $P(a_i)$ — статическая вероятность состояния a_i ; $P(a_k)$ — статическая вероятность

состояния a_k ; $P(I_{ki})$ — вероятность появления входного вектора I_{ki} , который инициирует переход автомата из состояний a_k в состояние a_i [17].

Равенства (2) по существу представляют собой систему уравнений. Уравнения линейно зависимы, и любое из них может быть выведено из остальных $M - 1$ уравнений. Сумма всех вероятностей равна единице при условии отсутствия корреляции между вероятностями для отдельных входных линий. Поэтому одно из уравнений можно заменить равенством

$$\sum_{i=1}^M P(a_i) = 1. \quad (3)$$

Выбор уравнения, которое следует заменить равенством (3), зависит от метода вычисления системы уравнений и не влияет на результаты вычислений. Решением системы M уравнений (2) и (3) является вектор статических вероятностей состояний конечного автомата. В случае больших последовательностных схем система уравнений становится очень сложной, что значительно увеличивает время вычисления мощности.

Вероятность изменения состояния с a_i на a_j при условии, что автомат находится в состоянии a_i , зависит от вероятности появления на входе инициирующего вектора I_{ij} . В связи с этим вероятность перехода конечного автомата из состояния a_i в состояние a_j можно выразить с помощью следующего уравнения:

$$P(a_i \rightarrow a_j) = P(a_i)P(I_{ij}).$$

Определение статических вероятностей позволяет вычислить мощность, выделяемую элементами памяти конечного автомата (или триггерами, из которых построена память). Вычисление полной мощности требует дополнительного вычисления мощности, выделяемой на комбинационной части конечного автомата.

Структурная модель конечного автомата при вычислении мощности его комбинационной схемы показана на рис. 3. На входы комбинационной части автомата подаются входные сигналы с вероятностями $P_1(x_1), \dots, P_1(x_M)$ принятия значения единицы. Кроме того, на входы комбинационной части подаются сигналы с выходов элементов памяти с вероятностями принятия значения единицы $P_1(S_1), \dots, P_1(S_N)$. На этой основе вычисляется активность переключения, а затем мощность, выделяемая комбинационной частью автомата.

В вышеуказанных работах не рассматривалась корреляция между сигналами, подаваемыми на входы, и сигналами внутри устройства. В [16] представлено решение уравнений

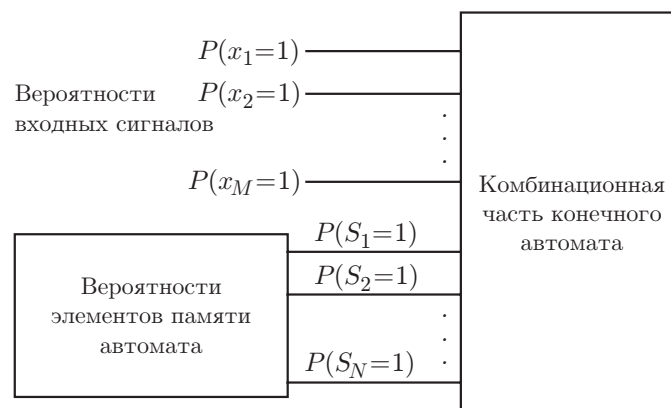


Рис. 3

Колмогорова, которое учитывает корреляцию, присутствующую в устройстве. Благодаря этому возможно более точно вычислять потребляемую мощность.

Динамические методы вычисления мощности основываются на симуляции. На входы устройства подается сгенерированная входная последовательность, которая может быть построена на основе статистических параметров либо соответствует способу функционирования устройства (например, для устройства кодирования подается последовательность кодируемых байтов).

Моделирование выполняется двумя способами. В первом случае на входы устройства подается сгенерированная полная входная последовательность. Такой подход требует выполнения полного цикла вычислений. Можно также выполнять моделирование для неполной входной последовательности, прерываемой во время вычислений, когда средняя мощность изменяется только в заданном интервале (наступает конвергенция).

Модели. В работе [18] представлен метод моделирования комбинационных схем, а в [3] последовательностных схем с использованием иерархических цветных сетей Петри HCHPN (Hierarchical Colored Hardware Petri Net).

Моделирование осуществляется в предположении одной входной последовательности. Это позволяет вычислять мощность при наиболее правдоподобном режиме работы устройства, не рассматривая других возможностей, что может привести к ошибочной оценке, а в некоторых случаях — к превышению уровня допустимой мощности (маловероятных, но которые могут наступить). В [17] описан метод выделения режимов работы устройства и вычисления для каждого режима. Наиболее часто в моделях предполагается зависимость мощности, приближенная к гауссовскому распределению, где находится только один максимум. Однако может случиться, что на диаграмме появится несколько максимумов. Представленный в [17] алгоритм определяет каждый из этих режимов работы.

Методы формирования входной последовательности. До выполнения моделирования необходимо сгенерировать входную последовательность, которая формируется на основе статических данных, описывающих вероятность появления входных сигналов и корреляцию между ними. С целью минимизации времени моделирования генерируемая последовательность должна быть как можно короче и одновременно не должна отрицательно влиять на результаты моделирования (не должна приводить к возникновению ошибок).

В [19] представлен один из методов генерации входной последовательности. Здесь используется спектральный анализ, основанный на дискретном преобразовании Фурье. Коэффициенты спектра сигнала $X(k)$ вычисляются из выражения

$$X(k) = \frac{1}{N} \sum_{n=1}^{N-1} x(n) e^{j(2\pi kn/N)},$$

где $x(n)$ — входная последовательность; N — число измерений (длина последовательности) и число коэффициентов спектра. Из всей последовательности коэффициентов выбирается подмножество, на основе которого генерируется итоговая последовательность с помощью обратного дискретного преобразования Фурье. Значения последовательности $x(n)$ вычисляются из выражения

$$x(n) = \sum_{k=0}^{N-1} X(k) e^{j(2\pi kn/N)}.$$

Данный метод был исследован как для комбинационных, так и для последовательностных схем. Найденная ошибка по сравнению с последовательностью без компрессии не превышала нескольких процентов.

Метод генерации входной последовательности, основанный на цепях Маркова, приводится в [20]. Последовательность генерируется на основе таких статистических параметров, как средняя входная вероятность, средняя плотность переходов, а также пространственная корреляция входов. Предлагаемый алгоритм позволяет генерировать входную последовательность с высокой скоростью.

Методы сокращения длины входной последовательности. Неоднократно сгенерированная или реальная последовательность является очень длинной, что увеличивает время моделирования. Существуют методы, позволяющие сократить длину входной последовательности, не снижая ее свойств, а только сокращая время моделирования.

В [21] представлен метод компрессии, основанный на группировании и последующем семплировании. При группировании в последовательности групп выделяются пары входных векторов, имеющие приближенные значения удаленности, например, с использованием заряда—разряда емкости CDC (Charging/Discharging Capacitance). Затем выполняется семплирование, с помощью которого осуществляется исключение повторяющихся фрагментов.

Метод, описанный в [22], использует значение чувствительности на мощность основных входов $S_{a(x_i)}$, которое определяется выражением

$$S_{a(x_i)} = \lim_{\Delta a(x_i) \rightarrow 0} \frac{\Delta \text{Power}(x_i)}{\Delta a(x_i)} = \frac{\partial \text{Power}(x_i)}{\partial a(x_i)},$$

где $a(x_i)$ — активность переключения входа x_i .

В [6, 7] представлены методы компрессии с использованием фракталов. Фракталом называется бесконечно самоподобная геометрическая фигура, каждый фрагмент которой повторяется при уменьшении масштаба. Входная последовательность может складываться из подобных себе фрагментов, в связи с этим ее можно приравнять к фракталу.

В [23] представлен метод вычисления мощности, в котором входная последовательность разделяется на меньшие фрагменты (блоки). Они выбираются случайно и подаются на входы моделируемого устройства. Благодаря этому находится определенный диапазон значений мощности, где верхняя и нижняя границы отличаются не более чем на 10 %. Это позволяет значительно уменьшить время моделирования за счет использования фрагмента входной последовательности вместо целой последовательности.

Влияние в моделях пиков и утечек. Влияние задержки, вызванной вентилями, приводит к появлению пиков сигнала. В [13] представлен новый метод, использующий цепи Маркова, а также булеву ассоциативную память ВАР (Boolean Associative Memory). Устройство анализируется отдельно для идеального вентиля и существования явления пиков. Метод является особенно эффективным в случае больших комбинационных схем.

В [24] предложен метод, в котором используется понятие плотности переключения. Плотность переключения блока, имеющего N независимых входов x_i и M выходов y_j , может быть определена выражением

$$D(y_j) = \sum_{i=1}^N P\left(\frac{dy_j}{dx_i}\right) D(x_i).$$

Каждая плотность переключения дополнительно обозначается указателем времени в цепях выражения зависимостей, связанных с задержкой сигнала.

Утечка также является важным фактором, влияющим на выделяемую мощность. Ее значение составляет 10–20 % полной мощности, выделяемой в устройстве. В [25] представлен статический метод вычисления мощности, выделенной на сопротивлениях утечек.

Потребляемая мощность в устройствах FPGA. Методология вычисления мощности в программируемых устройствах в большой степени зависит от структуры и конструкции устройства.

Согласно [26] мощность P устройства может быть выражена в соответствии с зависимостью

$$P = P_{\text{int}} + P_{\text{IO}},$$

где P_{int} — статическая мощность без нагрузки; P_{IO} — мощность, выделяемая в буферах ввода—вывода.

Мощность P_{IO} равна сумме статической P_{DCout} (когда значение на выходах не изменяется) и динамической P_{ACout} мощностей.

Динамическая мощность в устройствах FPGA согласно [27] может быть вычислена в упрощенном виде как сумма следующих мощностей (данные для устройства XC3020 фирмы "Xilinx", США):

— мощность, выделяемая на емкостях, подключенных к выходным буферам ввода—вывода: 25 мкВ/пФ/МГц;

— мощность, выделяемая на линиях глобального синхросигнала: 1,7 мВ/МГц;

— мощность, выделяемая конфигурируемым логическим блоком CLB (Configurable Logic Block): 0,36 мВ/МГц (при средней частоте выходных сигналов блока CLB);

— мощность, выделяемая горизонтальной длинной линией: 0,09 мВ/МГц;

— мощность, выделяемая вертикальной длинной линией: 0,08 мВ/МГц;

— мощность, рассеиваемая на входах (без подтягивающих резисторов pull-up): 0,075 мВ/МГц.

Мощность, выделяемая устройством, может быть связана с его температурой зависимостью [28]

$$T_J = T_A + \Theta_{JA}(P_{\text{AC}} + P_{\text{leak}}),$$

где T_J — температура соединения; T_A — температура окружающей среды; Θ_{JA} — термическое сопротивление корпуса; P_{AC} — мощность динамическая; P_{leak} — мощность утечки.

Мощность утечки в зависимости от температуры выражается формулой [28]

$$P_{\text{leak}} = P_0 e^{-k/T_J},$$

где P_0 и k — постоянные, зависящие от технологии изготовления устройства.

Заключение. В последние годы появилось много новых методов, а также получили развитие известные методы вычисления потребляемой мощности в цифровых устройствах. Большое количество этих методов основывается на теоретических моделях. Главным направлением исследований до настоящего времени было достижение максимальной скорости вычислений при заданной точности.

Скорость и точность вычислений зависят от уровня абстракции, на котором выполняется моделирование устройства.

Статические методы допускают быстрые и точные вычисления, однако требуют подготовки данных в виде вероятностных характеристик. В случае динамических методов входная последовательность подается непосредственно на входы моделируемого устройства. Имеется много методов сокращения длины входной последовательности за счет уменьшения редунданции (избыточности), что позволяет увеличить скорость вычислений.

В дальнейших исследованиях предполагается проверка справедливости известных моделей и методов вычисления мощности на реальных устройствах, в частности на программируемых логических устройствах.

СПИСОК ЛИТЕРАТУРЫ

1. **Pedram M.** Power simulation and estimation in VLSI circuits // *The VLSI Handbook*. Boca Raton, USA: The CRC Press and the IEEE Press, 1999. P. 18–27.
2. **Tsui C.-Y., Monteiro J., Pedram M. et al.** Power estimation methods for sequential logic circuits // *IEEE Trans. VLSI Systems*. 1995. **3**, N 3. P. 404–416.
3. **Murugavel A. K., Ranganathan N.** Power estimation of sequential circuits using hierarchical colored hardware Petri net modeling // *Proc. of the Intern. Symp. on Low Power Electronics and Design (ISLPED'02)*. Monterey, USA, 2002. P. 267–270.
4. **Bhanja S., Ranganathan N.** Switching activity estimation of VLSI circuits using Bayesian networks // *IEEE Trans. VLSI Systems*. 2003. **11**, N 4. P. 558–567.
5. **Ramani S. S., Bhanja S.** Any-time probabilistic switching model using Bayesian networks // *Proc. of the Intern. Symp. on Low Power Electronics and Design (ISLPED'04)*. Newport, USA, 2004. P. 86–89.
6. **Radjassamy R., Carothers J. D.** Faster power estimation of CMOS designs using vector compaction — A fractal approach // *IEEE Trans. Systems, Man and Cybernetics. Pt. B: Cybernetics*. 2003. **33**, No 3. P. 476–488.
7. **Radjassamy R., Carothers J. D.** A fractal compaction algorithm for efficient power estimation // *Proc. of the Intern. Conf. on Computer Design: VLSI in Computers and Processors (ICCD'98)*. Austin, USA, 1998. P. 542–547.
8. **Gupta S., Najm F. N.** Analytical models for RTL power estimation of combinational and sequential circuits // *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*. 2000. **19**, N 7. P. 808–814.
9. **Eiermann M., Stechele W.** RTL power modeling and estimation based on bit and word level switching properties // *IEEE Intern. Midwest Symp. on Circuits and Systems*. Tulsa, USA, 2002. Vol. 1. P. 144–147.
10. **Wright R. L., Shanblatt M. A.** Improved power estimation for behavioral and gate level designs // *Proc. of the IEEE Computer Society Workshop on VLSI*. Orlando, USA, 2001. P. 102–107.
11. **Liu X., Papaefthymiou M. C.** A statistical model of input glitch propagation and its application in power macromodeling // *Proc. of the 45th IEEE Intern. Midwest Symp. on Circuits and Systems*. Tulsa, USA, 2002. Vol. 1. P. 380–383.
12. **Liu X., Papaefthymiou M. C.** Incorporation of input glitches into power macromodeling // *Proc. of the IEEE Intern. Symp. on Circuits and Systems (ISCAS'02)*. Scottsdale, USA, 2002. Vol. 4. P. 846–849.
13. **Jou J. M., Chen S.-C., Wang C.-L.** Fast delay-dependent power estimation of large combinational circuits // *Proc. of the IEEE Intern. Symp. on Circuits and Systems (ISCAS'98)*. Monterey, USA, 1998. Vol. 6. P. 53–56.
14. **Nourani N., Nazarian S., Afzali-Kusha A.** A parallel algorithm for power estimation at gate level // *Proc. of the 45th IEEE Intern. Midwest Symp. on Circuits and Systems*. Tulsa, USA, 2002. Vol. 1. P. 511–514.
15. **Freitas A. T., Oliveira A. L.** Circuit partitioning techniques for power estimation using the full set of input correlations // *Proc. of the 8th IEEE Intern. Conf. on Electronics, Circuits and Systems*. Malta, 2001. Vol. 2. P. 903–907.
16. **Freitas A. T., Oliveira A. L.** Implicit resolution of the Chapman — Kolmogorov equations for sequential circuits: An application in power estimation // *Proc. of the Design, Automation and Test in Europe Conference and Exhibition (DATE)*. Nice, France, 2003. Vol. 1. P. 10764.

17. **Chandramouli R., Srikantam V. K.** Multimode power modeling and maximum-likelihood estimation // IEEE Trans. VLSI Systems. 2004. **12**, Is. 11. P. 1244–1248.
18. **Murugavel A. K., Ranganathan N.** A real delay switching activity simulator based on Petri net modeling // Proc. of the Intern. Conf. on VLSI Design. Bangalore, India, 2001.
19. **Macii A., Macii E., Poncino M., Scarsi R.** Stream synthesis for efficient power simulation based on spectral transforms // IEEE Trans. VLSI Systems. 2001. **9**, N 3. P. 417–426.
20. **Liu X., Papaefthymiou M. C.** A Markov chain sequence generator for power macromodeling // IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems. 2004. **23**, N 7. P. 1048–1062.
21. **Hsu C.-Y., Shen W.-Z.** Vector compaction for power estimation with grouping and consecutive sampling techniques // IEEE Intern. Symp. on Circuits and Systems (ISCAS'02). Scottsdale, USA, 2002. Vol. II. P. 472–475.
22. **Hsu C.-Y., Wei C.-W., Shen W.-Z.** A pattern compaction technique for power estimation based on power sensitivity information // Proc. of the IEEE Intern. Symp. on Circuits and Systems (ISCAS'01). Sydney, Australia, 2001. Vol. 5. P. 467–470.
23. **Kozhaya J. N., Najm F. N.** Power estimation for large sequential circuits // IEEE Trans. VLSI Systems. 2001. **9**, Is. 2. P. 400–407.
24. **Choi H., Hwang S. H.** Hybrid time-stamped transition density for the estimation of delay-dependent switching activities // Proc. of the 40th Midwest Symp. on Circuits and Systems. Sacramento, USA, 1997. Vol. 2. P. 1030–1033.
25. **Acar E., Devgan A., Rao R. et al.** Leakage and leakage sensitivity computation for combinational circuits // Proc. of the Intern. Symp. on Low Power Electronics and Design (ISLPED'03). Seoul, Korea, 2003. P. 96–99.
26. **Altera Data Book.** Altera Co. San Jose, USA, 1996. 745 p.
27. **The Programmable Gate Array Data Book.** Xilinx Inc. San Jose, USA, 1991. 394 p.
28. **Lui H. Y., Lee C. H., Patel R. H.** Power estimation and thermal budgeting methodology for FPGAs // Proc. of the IEEE Custom Integrated Circuits Conf. Orlando, USA, 2004. P. 711–714.

Поступила в редакцию 22 июля 2009 г.
