

УДК 681.325

В. Р. Григорьев, С. П. Наумов  
(Москва)

**НЕЙРОСЕТЕВАЯ РЕАЛИЗАЦИЯ АЛГОРИТМА СОРТИРОВКИ  
НА ТРЕХМЕРНОМ ОПТИЧЕСКОМ НЕЙРОЧИПЕ**

Предложен алгоритм сортировки на адаптивной нейронной сети. Доказана сходимость алгоритма сортировки за один шаг. Обсуждаются особенности конструкции трехмерного оптического нейрочипа, реализующего адаптивный алгоритм сортировки. Приведены оценки аппаратной реализации нейрочипа.

**Введение.** Создание ЭВМ, моделирующих нейронные сети (НС), в настоящее время рассматривается как одно из наиболее перспективных направлений развития вычислительной техники [1, 2]. Нейронные сети стали объектом исследования не только с точки зрения реализации компьютеров нового поколения, способных решать неформализованные задачи (искусственный интеллект, распознавание образов, принятие решений и т. д.), но и как новое средство оптимизации процессов внутри ЭВМ с традиционной архитектурой (оптимизация ресурсов ЭВМ, маршрутизация сообщений, организация памяти и т. д.). Нейронные сети могут рассматриваться также как эффективное средство обработки цифровой информации на основе базисных принципов нейроматематики.

Введение оптических средств передачи между электронными компонентами в НС, построенных на СВИС-технологии, придает им определенную дополнительную «степень свободы» и соответственно увеличивает их функциональные возможности [3].

Предметом данной работы является изучение возможности реализации алгоритма сортировки на нейронных сетях и его отображения в нейрочип с трехмерной организацией оптических связей.

Интерес к этой задаче объясняется несколькими причинами. Во-первых, большим практическим значением использования сортировки в различных прикладных областях [4]. Во-вторых, происходящим в настоящее время активным развитием оптической элементной базы для физического моделирования нейронных сетей [5—7] и принципиальной возможностью использования технологии многослойных интегрально-оптических трехмерных схем (3-D ОИС) для реализации многоканальных вычислительных устройств [8—10].

Эффективность операции сортировки данных — один из ключевых факторов в организации быстрых вычислений в упомянутых выше задачах.

В работе [11] впервые представлен нейросетевой подход к реализации алгоритма сортировки за два шага при использовании  $O(n^2)$  процессоров независимо от размерности задачи. В данной статье при использовании такого же числа процессорных элементов  $O(n^2)$  предложена реализация алгоритма сортировки в трехмерном (3-D) оптическом нейрочипе *за один шаг*.

1. Синтез нейронных сетей. Нейронная сеть работает посредством преобразования данного исходного множества выходных значений в устойчивую конечную организацию. Таким образом, чтобы использовать нейронную сеть в качестве компьютера, нужно выбрать какую-либо интерпретацию конфигу-

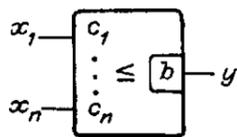


Рис. 1

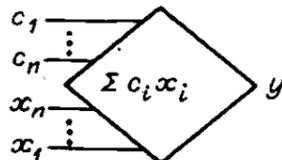


Рис. 2

рации выходов, а затем «запрограммировать» сеть путем регулировки ее динамики или посредством ее обучения. Адаптивная нейронная сеть — модель вычислений, которая относится к классу «коннекционистских моделей» [12, 13]. Эти модели характеризуются тем, что в них основная вычислительная нагрузка ложится не на процессорные элементы, а на связи между ними.

Абстрактная структура обобщенной модели сортирующей нейронной сети включает две части. Первая часть (параллельная) — вычисляющая — состоит из оптических многослойных нейронов и связей. Вторая часть (последовательная) — обучающая (программирующая) — образуется электронными компонентами. Она производит необходимые вычисления для определения весов связей и их изменений, если это потребуется.

Рассмотрим основные типы элементов реализуемой нейронной сети.

2. Основные элементы сортирующей нейронной сети. Функциональная сеть, реализующая предлагаемый алгоритм, построена на основе двух типов пороговых элементов.

Элемент 1-го типа — собственно пороговый элемент (ПЭ) — реализует булеву пороговую функцию (рис. 1)

$$y = f(x_1, \dots, x_n)$$

по правилу

$$f(x_1, \dots, x_n) = 0 \Leftrightarrow c_1 x_1 + \dots + c_n x_n > b,$$

где  $y \in \{0, 1\}$ ,  $c_i, b, x_i \in \mathbb{R}$ .

Элемент 2-го типа реализует взвешенную сумму (рис. 2)

$$y = \sum_{i=1}^n c_i x_i,$$

где  $y, x_i, c \in \mathbb{R}$ .

Из физической реализации элемента 2-го типа (например, сигнальный процессор А-100) следует, что этот тип позволяет также умножать любые векторы с координатами из множества целых чисел. При этом существенным является равноправие вектора входов и вектора коэффициентов в физической реализации. Поэтому в общем случае коэффициентами в элементах 2-го типа могут быть значения на выходах других элементов. Эти два типа элементов являются основными в рассматриваемой сети.

3. Построение алгоритма сортировки на адаптивной сети. Адаптивная сеть, реализующая алгоритм сортировки, состоит из двух частей: обучающей и вычисляющей (рис. 3). Входной вектор данных  $x_1, \dots, x_n$  поступает на входы обучающей части, которая служит для определения коэффициентов  $w_{ij}$ , задающих веса входов каждого нейрона вычисляющей части. Входной вектор представляет собой совокупность не равных друг другу неотрицательных чисел. Вычисляющая часть состоит из двух блоков. На вход первого блока подаются начальные установочные значения  $u_{ij}$ . В результате итеративного процесса на выходе первого блока формируется подстановочная матрица  $(v_{ij})_n$ , соответствующая перестановке компонент исходного вектора в отсортированном виде.

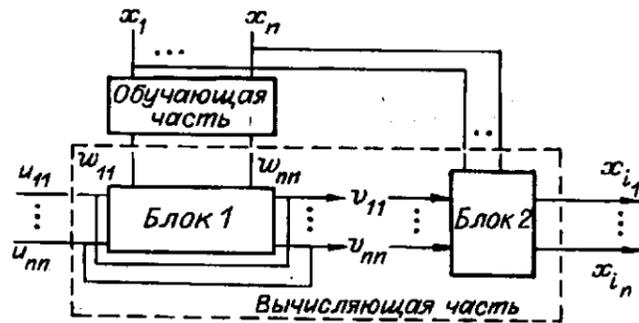


Рис. 3

На основании полученной матрицы второй блок формирует выходной отсортированный вектор  $x_{i_1}, \dots, x_{i_n}$ .

3.1. *Обучающая часть адаптивной сети.* Обучающая часть состоит из  $n$  однотипных блоков. На вход  $i$ -го блока поступает  $n$  пар  $x_k x_i$ , где  $k = 1, \dots, n$ . Выходом  $i$ -го блока является набор чисел  $u_1, \dots, u_n$ , такой что  $u_j$  равен 1, если число элементов из  $x_1, \dots, x_n$ , меньших  $x_i$ , меньше либо равно  $j$ , и 0 в противном случае. Каждый блок состоит из  $n$  элементов 1-го типа с пороговым значением 0. На  $i$ -й элемент в  $j$ -м блоке подается пара  $x_i x_j$ . Результатом работы каждого элемента будет 1, если  $x_i \leq x_j$ , и 0 в противном случае. Выходы этих элементов пространственно распределены по  $n$  входам  $n$  пороговых элементов 1-го типа с пороговыми значениями от 1 до  $n$ . Выходы элемента с пороговым значением  $k$ , очевидно, являются  $k$ -м выходом блока (рис. 4).

Выход  $u_1$   $i$ -го блока определяет значение веса  $w_{i1}$  на выходе обучающей части сети. Остальные выходы обучающей части получают следующим образом:  $j - 1$ -й выход  $i$ -го ( $j = 2, \dots, n$ ) блока поступает на первый вход элемента первого типа с двумя входами и пороговым значением 0 и маской  $c_1 = 2$ . На второй вход этого элемента подается  $j$ -й выход  $i$ -го блока с маской  $c_2 = 1$  и пороговым значением 0. Полученный результат является  $w_{ij}$  —  $i, j$ -м выходом обучающей части (рис. 5).

Для того чтобы нейронная сеть в процессе своего функционирования достигла стационарного состояния, необходимо задать функцию вычислительной энергии сети  $E$  и сформулировать задачу по ее минимизации.

Построим алгоритм, использующий бинарные нейроны, т. е. элементы с пороговой функцией вида

$$v_i = f(u_i) = \begin{cases} 1, & \text{если } u_i > 0, \\ 0, & \text{если } u_i \leq 0, \end{cases}$$

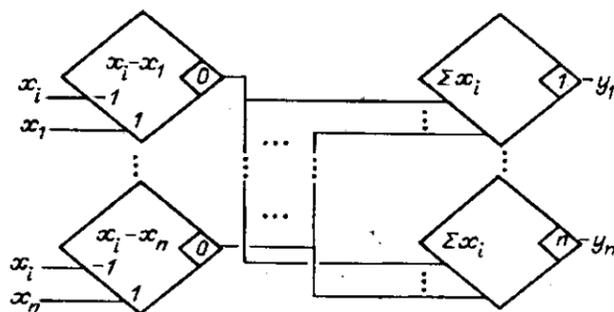


Рис. 4

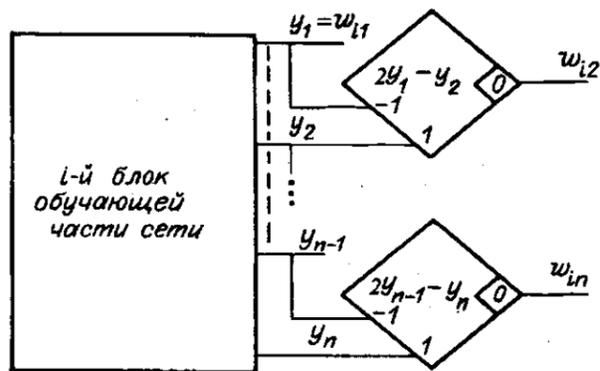


Рис. 5

где  $u_i$  — вход  $i$ -го нейрона,  $v_i$  — его выход,  $V = (v_1, \dots, v_n)$  —  $n$ -мерный вектор выходных значений сети. Таким нейроном, например, может являться элемент 1-го типа. Определим функционирование нейронной сети на бинарных нейронах по правилу

$$\frac{du_i}{dt} = -\frac{dE}{dv_i}, \quad (1)$$

где  $E$  — функция вычислительной энергии. В работе [11] на основе доказательства монотонного убывания функции вычислительной энергии  $E$  показана сходимость такой сети.

3.2. Вычислительная часть адаптивной сортирующей сети. Зададим функцию вычислительной энергии сети в следующем виде:

$$E = \sum_{i,j=1}^n \sum_{k,t=1}^n \Omega_{ij}^{kt} v_{ij} v_{kt},$$

где

$$\Omega_{ij}^{kt} = \left( \delta \left( \sum_{k=1}^n f(x_k, x_i) - T_{j-1} \right) - \delta \left( \sum_{t=1}^n f(x_k, x_i) - T_j \right) \right) I_{ij}(k, l).$$

Здесь

$$f(x_s, x_t) = \begin{cases} 0, & \text{если } x_s > x_t, \\ 1, & \text{если } x_s \leq x_t, \end{cases} \quad \delta(y) = \begin{cases} 0, & \text{если } y \leq 0, \\ 1, & \text{если } y > 0, \end{cases}$$

$$I_{ij}(k, l) = \begin{cases} 0, & \text{если } k \neq i \text{ или } l \neq j, \\ 1, & \text{если } k = i \text{ и } l = j, \end{cases}$$

$v_{st}$  — выход нейрона с номером  $st$ ,  $s = \overline{1, n}$ ,  $t = \overline{1, n}$ ,  $T_k = n - k + 1$ ,  $k = 1, \dots, n$ . Совокупность этих нейронов представляет собой вычисляющую часть сети.

Из определения коэффициента  $\Omega_{ij}^{kt}$  получим следующий вид энергетической функции:

$$E = \sum_{i=1}^n \sum_{j=1}^n \left( \delta \left( \sum_{k=1}^n f(x_k, x_i) - T_{j-1} \right) - \delta \left( \sum_{t=1}^n f(x_t, x_i) - T_j \right) \right) v_{ij}. \quad (2)$$

Из выбора энергетической функции следует, что матрица весов связей нейронов является диагональной, в которой на диагонали расположены веса, задаваемые обучающей частью сети.

**Лемма 1.** При выборе функции вычислительной энергии вида (2) и уравнения функционирования  $ij$  нейрона  $i, j = \overline{1, n}$  вида (1) нейронная сеть достигнет стационарного состояния за один шаг, не зависящий от размерности входа.

**Доказательство.** Из (1) получаем

$$\frac{dE}{dv_{ij}} = \delta \left( \sum_{k=1}^n f(x_k, x_i) - T_{j-1} \right) - \delta \left( \sum_{i=1}^n f(x_i, x_i) - T_j \right),$$

$$\frac{du_{ij}}{dt} = \delta \left( \sum_{k=1}^n f(x_k, x_i) - T_j \right) - \delta \left( \sum_{i=1}^n f(x_i, x_i) - T_{j-1} \right).$$

Результатом работы сети будем считать матрицу  $V = (v_{x_{ij}})_{n,n}$  выходов  $x_i$   $j$ -х нейронов ( $v_{x_{ij}} \in \{0, 1\}$ ), такую что  $v_{x_{ij}} = 1$  (т. е.  $x_i$   $j$ -й нейрон активен), если  $x_i$  находится в отсортированной последовательности на месте  $j$ , и  $v_{x_{ij}} = 0$  (нейрон не активен) в противном случае,  $i, j = \overline{1, n}$ , т. е. матрица  $V$  является подстановочной матрицей для подстановки, упорядочивающей вектор  $x_1, \dots, x_n$ .

**Лемма 2.** Стационарное состояние сети, определяемое (1) и (2), соответствует решению поставленной задачи.

**Доказательство.** Подадим на входы каждого нейрона единичный сигнал (все нейроны активны).

Рассмотрим (1):

$$\frac{du_{ij}}{dt} = \delta \left( \sum_{k=1}^n f(x_k, x_i) - T_j \right) - \delta \left( \sum_{i=1}^n f(x_i, x_i) - T_{j-1} \right).$$

Рассмотрим  $x_i$ -й нейрон. За счет члена  $\delta \left( \sum_{k=1}^n f(x_k, x_i) - T_j \right)$  он будет активным, если число элементов из  $x_1, \dots, x_n$ , меньших  $x_i$ , меньше либо равно  $j$ . Нейрон за счет члена  $\delta \left( \sum_{i=1}^n f(x_i, x_i) - T_{j-1} \right)$  останется активным, если число элементов из  $x_1, \dots, x_n$ , меньших  $x_i$ , равно  $j$ . Таким образом,  $v_{x_{ij}} = 1$  тогда и только тогда, когда элемент  $x_i$  в отсортированном векторе находится на месте  $j$ .

Лемма доказана.

**Утверждение 1.** Используя элементы двух типов, возможно реализовать алгоритм сортировки, при этом сеть будет состоять из  $4n^2 - n$  элементов и время ее работы составит  $4p$ , где  $p$  — время срабатывания одного нейрона.

**Доказательство.**

1. Исходя из п. 3.1 для построения обучающей части адаптивной сортирующей нейронной сети потребуется  $3n^2 - n$  пороговых элементов.

2. Из п. 3.1 и леммы 2 следует, что весовые коэффициенты  $w_{ij}$  совпадают по значению с выходами  $v_{ij}$  нейронов блока 1 вычисляющей части сети (см. рис. 5), а по лемме 1 необходим один и только один шаг для получения подстановочной матрицы на выходе. Таким образом, вместо выходов  $v_{ij}$  нейронов блока 1 вычисляющей части на вход блока 2 вычисляющей части (см. рис. 5) можно подать выходы  $w_{ij}$  обучающей части сети.

Блок 2 вычисляющей части сети будет состоять из  $n^2$  пороговых элементов 2-типа (рис. 6) и реализовывать преобразование входного вектора  $x_1, \dots, x_n$  в соответствии с подстановочной матрицей  $w_{ij}$ .

Очевидно, что вектор  $x_1, \dots, x_n$  является упорядоченным вектором элементов  $x_1, \dots, x_n$ . Следовательно, для реализации сети потребуется  $4n^2 - n$  пороговых элементов.

Определим временную сложность предложенной сети. Для работы обучающей части сети потребуется время  $3p$ , где  $p$  — время срабатывания одного порогового элемента. Для вычисляющей части потребуется время  $p$ . Следовательно, общая временная сложность составит  $4p$ .

Утверждение доказано.

**Пример.** Пусть входной вектор  $(x_1, \dots, x_n) = (3, 1, 8, 6, 5, 7, 4, 2)$ ,  $n = 8$ .

Получение конечного результата проиллюстрировано рис. 7.

Еще раз следует особо отметить, что *время работы сети не зависит от объема сортируемого вектора, а стационарное состояние нейронной сети достигается за один шаг.*

Полученный результат лучший по временной сложности, чем имеющийся для алгоритма, изложенного в [11]. Представленная в [11] нейронная адаптивная сеть выполняет операцию сортировки за два шага при той же емкостной сложности, как в сети, построенной авторами настоящей статьи. При этом в нашем случае выходом сети является отсортированная последовательность.

**4. Реализация адаптивной сортирующей нейронной сети на оптоэлектронном трехмерном устройстве. 4.1. Оптическая реализация сортировки.** В этом разделе будет предложена оптическая реализация алгоритма сортировки на адаптивной нейронной сети, построенной в п. 3.

Электрооптическая схема сортировки представляет собой многослойную трехмерную структуру из последовательно нанесенных тонкопленочных электрооптических слоев, совмещенных со слоями прозрачных электродов, и матрицы фотоприемников со встроенной сетью цепей управления. Тонкопленочные электрооптические слои и управляющие ими прозрачные электроды с заданной конфигурацией реализуют матрицу некоторого размера, где на каждую ячейку подается управляющий сигнал, под действием которого в ячейке устанавливается режим пропускания или непропускания света, что соответствует 1 или 0 соответственно.

Перед доказательством возможности реализации сортирующей адаптивной нейронной сети на оптоэлектронных элементах заметим, что в электронике существует элемент, реализующий функцию  $f(x_i, x_m)$ , который называется компаратором аналоговых сигналов. Он характеризуется параметрами, присущими операционным усилителям, но имеет цифровой выход [14].

**Утверждение 2.** Используя  $n^2$  компараторов,  $n^2$  фотоприемников,  $n^2$  электронных пороговых элементов и два тонкопленочных электрооптических слоя с пороговыми модуляционными характеристиками, можно реализовать нейросетевой алгоритм сортировки, изложенный в п. 3.2, причем общее время работы схемы составит  $T = t_c + t_{\text{эпэ}} + t_{\text{рс}} + t_{\text{рф}}$ , где  $t_c$  — время срабатывания компаратора,  $t_{\text{рс}}$  — время реакции электрооптического слоя,  $t_{\text{рф}}$  — время срабатывания фотоприемника,  $t_{\text{эпэ}}$  — время срабатывания электронного порогового элемента.

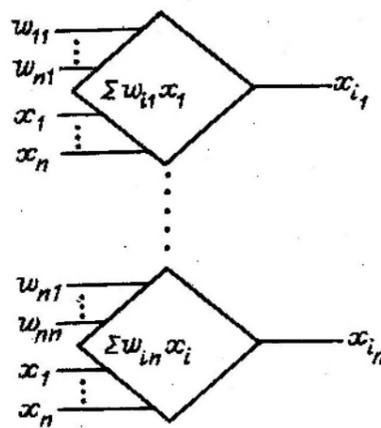


Рис. 6

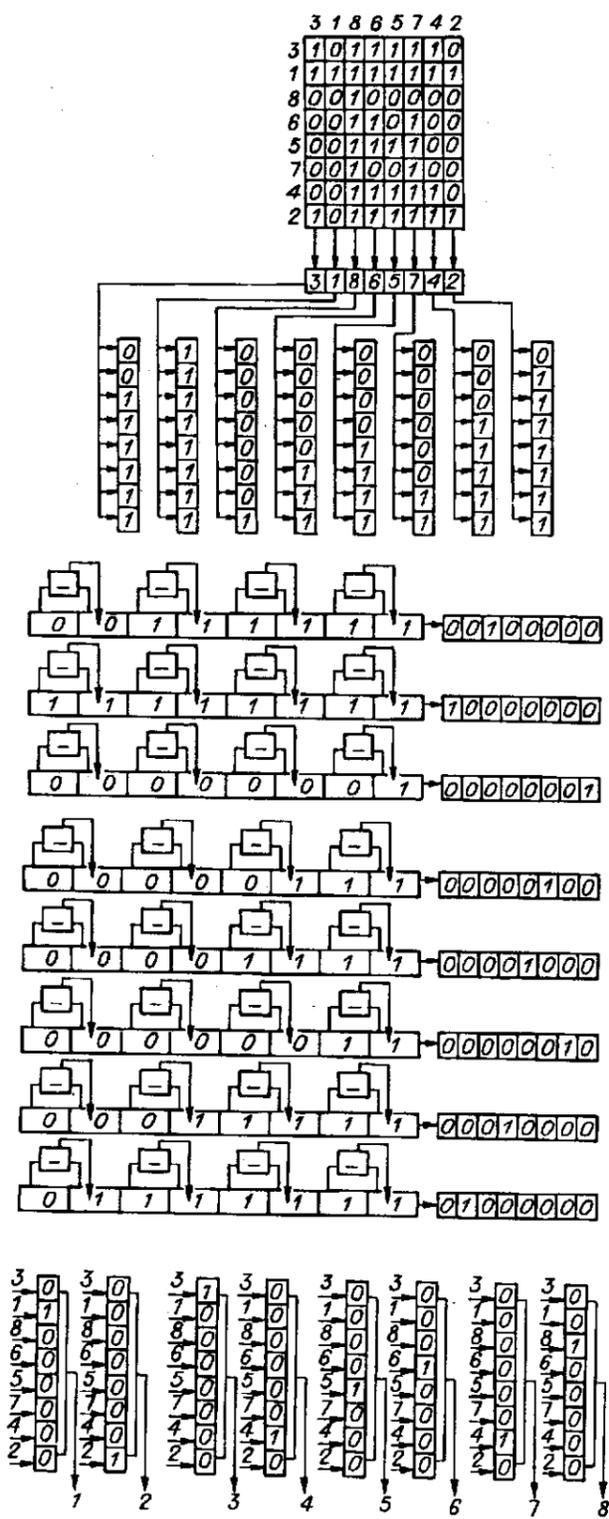


Рис. 7

**Доказательство.** Первый тонкопленочный электрооптический слой состоит из  $n^2$  ячеек (каналов). На каждую ячейку управляющих прозрачных электродов  $c_{ij}$  ( $i, j = 1, \dots, n$ ) первого слоя подается сигнал  $w_{ij}$  с прямого выхода электронного порогового элемента с порогом  $j$ , на вход которого, в свою очередь, подается сигнал с последовательно соединенных компараторов  $f(x_1, x_i), \dots, f(x_n, x_i)$ .

Второй слой состоит из  $n^2$  ячеек  $c'_{ij}$ , причем  $c'_{ij}$  расположены по принципу канал в канал по третьему измерению с  $c_{ij}$ . На каждую ячейку  $c'_{ij}$ ,  $i = 1, \dots, n, j = 2, \dots, n$ , второго слоя подается сигнал с инверсного выхода электронного порогового элемента с порогом  $j - 1$  ( $\overline{w_{j-1}}$ ), на вход которого подается сигнал с последовательно соединенных компараторов  $f(x_1, x_i), \dots, f(x_n, x_i)$ . Ячейки  $c'_{ij}$  прозрачны.

Фотоприемная матрица располагается под этими электрооптическими слоями по принципу канал в канал и состоит из  $n^2$  фотоприемников.

Исходя из п. 3.1 и утверждения 1 нетрудно видеть, что при просвечивании многослойной структуры светом (каналами обработки являются комбинации модулятор света 1-го слоя — модулятор света 2-го слоя — ячейка фотоприемной матрицы (рис. 8)) на выходах фотоприемной матрицы получаем искомую подстановочную матрицу.

Получение отсортированного вектора  $x_{i_1}, \dots, x_{i_n}$  проиллюстрировано рис. 9, где  $F_{ij}$  — выход  $ij$ -го фотоприемника.

Так как на каждый слой сигнал приходит одновременно с последовательно соединенных компараторов и электронного порогового элемента, то время работы схемы составит  $T = t_k + t_{PC} + t_{ЭПЭ} + t_{ФФ}$ .

Утверждение доказано.

#### 4.2. Основные оценки для технической реализации сортирующей сети.

На данном этапе развития технологии производства СБИС становится возможным реализовать сортировку на одной микросхеме, имеющей трехмерную организацию.

Проведем оценку возможных параметров физической реализации оптического нейронного чипа для выполнения сортировки, исходя из достигнутых к настоящему времени значений параметров составляющих его компонент. В качестве фотоприемника (ячейки фотоприемной матрицы в 3-м слое) может

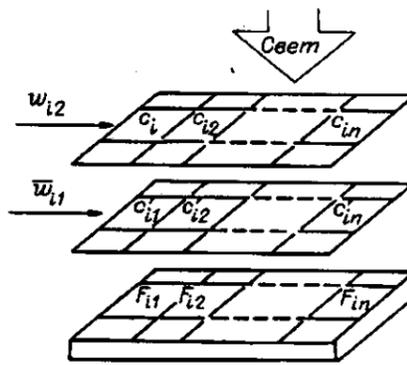


Рис. 8

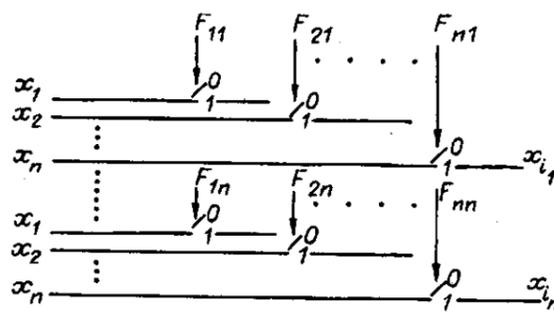


Рис. 9

быть использована структура на основе гетеропереходов с крутизной  $S = 100\text{--}500 \text{ А/Вт}$  при размерах приемной площадки  $30 \times 30 \text{ мкм}$ , чувствительности  $10^{-5}\text{--}10^{-8} \text{ Вт}$ , рабочим диапазоном частот до  $200 \text{ МГц}$  [15]. Тонкопленочный модулятор (слои 1 и 2) света реализуется на основе одного из лучших электрооптических материалов — ниобата бария-стронция с толщиной пленки  $5 \text{ мкм}$ , диэлектрической проницаемостью  $\epsilon \approx 100$  и емкостью  $C \approx 1 \text{ пФ}$  при площади окна  $\approx 20 \times 20 \text{ мкм}$  [16]. Тогда, выбирая предельные значения поверхностного теплоотода порядка  $10^5 \text{ Вт/см}^2$ , можно оценить длительность такта как  $\tau \approx 10^{-7}$  и энергию переключения —  $10^{-10} \text{ Дж}$  при  $V = 5 \text{ В}$ .

Оценки предельных параметров указанных логических элементов показывают, что свойство квантования сигнала может быть сохранено до  $w = 10^{-13} \text{ Дж}$  и  $\tau = 10^{-9} \text{ с}$  [9].

В настоящее время промышленностью освоено изготовление фотоприемных матриц на  $256 \times 256$  и  $512 \times 512$  элементов [17]. Компаратор является электронным устройством, плотность упаковки которого в микросхеме выше, чем плотность фотоприемников. Следовательно, ограничение по входу вводимых потоков данных будет определяться в основном количеством фотоприемников, т. е. размерностью фотоприемной матрицы. В результате на одной микросхеме можно реализовать параллельную сортировку соответственно 256 или 512 чисел за один такт. Как было показано в [18] с учетом вспомогательных схемотехнических добавок, тактовая частота многослойных электрооптических структур будет близка к  $10^6 \text{ 1/с}$ . Следовательно, производительность сортирующего нейрочипа составит порядка  $10^8\text{--}10^9 \text{ оп./с}$ .

Таким образом, создание оптоэлектронных сортирующих схем на основе тонкопленочных многослойных структур позволит резко сократить время, затрачиваемое на сортировку в различных информационных системах. В предлагаемых устройствах реализуется принцип настройки в зависимости от данных, т. е. от входного набора аргументов. Все каналы связи могут быть изготовлены в едином технологическом процессе, что приведет к однородности соединений во всем объеме устройства при известных преимуществах диэлектрического канала.

Такой подход позволяет создавать достаточно простые многоканальные оптические вычислительные устройства, способные работать в сочетании с обычными управляющими микроэлектронными СБИС [3].

**Заключение.** В работе рассмотрена структурная схема нейронной сети, реализующей алгоритм сортировки последовательности  $n$ -чисел. В структурной схеме были учтены ограничения, исходящие из требований по технической реализации предложенных схем на оптическом нейрочипе. Рассмотренная структурная схема была отмоделирована в виде пакета рабочих программ.

Предложенная схема представляет адаптивную (обучаемую) нейронную сеть, весовые коэффициенты которой настраиваются в зависимости от входных данных. Сеть достигает стационарного состояния за один шаг. Полученный результат является более совершенным в отличие от лучшего на данный момент нейросетевого алгоритма [11], который осуществлял сортировку на адаптивной нейронной сети за два итерационных шага и имел ту же емкостную сложность. При этом в нашем случае выходом сети является отсортированная последовательность.

Проведенное моделирование нейронной сети для  $n = 256$  в пакете программ позволило экспериментальным путем проверить сходимость предложенного нейроалгоритма и подтвердить полученные аналитически временные оценки его работы.

Представлена оптоэлектронная реализация адаптивной сети на оптическом трехмерном нейрочипе. Исходя из современной технологии производства СБИС был сделан вывод о возможности создания нейрочипа, сортирующего 512 чисел за один такт.

Дальнейшее развитие этой темы, по мнению авторов, может быть продолжено по следующим направлениям:

- уменьшение числа элементов;
- создание эффективных нейросетевых алгоритмов для сортировки последовательностей длиной большей, чем 512, при использовании сортирующего нейрончика, предложенного в данной работе.

#### СПИСОК ЛИТЕРАТУРЫ

1. Ачасова С. М. Вычисления на нейронных сетях.—Новосибирск, 1990.—(Препр. /ВЦ СО АН СССР).
2. Итоги науки и техники. Сер. Физ. и матем. модели нейронных сетей /Под ред. А. А. Веденова.—М.: ВИНТИ, 1990—1992.—Т. 1—5.
3. Grigor'ev V. R., Kostsov E. G. Optical threshold elements with layer-module three-dimensional architecture // Proc. Int. Conf. Photonic Switching-92.—Minsk, 1992.
4. Кнут Д. Искусство программирования для ЭВМ. Т. 3. Поиск и сортировка.—М.: Мир, 1978.
5. Абу-Мостафа Я. С., Псалтис Д. Оптические нейронно-сетевые компьютеры // В мире науки.—1987.—№ 5.
6. Farhat N. et al. Optical implementation of the Hopfield model // Appl. Opt.—1985.—24.—P. 1469.
7. Ito F., Kitauma K. Optical implementation of the Hopfield neural network using fiber nets // Appl. Opt.—28, N 19.—P. 4176.
8. Егоров В. М., Косцов Э. Г. Перспективы создания оптических цифровых высокопроизводительных вычислительных устройств // Автометрия.—1985.—№ 1.
9. Егоров В. М., Косцов Э. Г. Микроэлектронные оптические цифровые вычислительные устройства // Автометрия.—1989.—№ 3.
10. Григорьев В. Р., Колобашкин С. М. Реализация алгоритма сборки вектора на специализированном электрооптическом коммутаторе // Там же.
11. Takifuji Y., Lee K. C. A super parallel sorting algorithm based on neural networks // IEEE Trans. Circuit Syst.—1990.—37, N 11.—P. 1425.
12. Takeda M., Goodman J. W. Neural networks for computation: number representations and programming complexity // Appl. Opt.—1986.—25.—P. 3033.
13. Feldman J. A., Ballard D. H. Connectionist models and their properties // Cognit. Sci.—1982.—6.—P. 205.
14. Токсейм Р. Основы цифровой электроники.—М.: Мир, 1988.
15. Жук Б. В., Зленко А. А., Прохоров А. М. и др. Быстродействующий фототранзистор на гетероструктуре // ФТП.—1988.—22, № 8.
16. Анцыгин В. Д., Косцов Э. Г., Стерелюхина Л. Н. Импульсная электрооптическая модуляция света в тонких сегнетоэлектрических пленках // Автометрия.—1983.—№ 5.
17. Ракитин В. В., Сафонов А. Г., Тишин Ю. И. Матричный фотоприемник с памятью на ПЗС // Электрон. пром-сть.—1983.—№ 8.
18. Бандман О. Л. Электрооптическая реализация клеточных структур обработки данных // Автометрия.—1992.—№ 1.

Поступила в редакцию 17 марта 1993 г.