

5. Mlynski D. A., Sung C.-H. Layout compaction // Layout Design and Verification. Advances in CAD for VLSI—1986.—V. 4.
6. Титов Д. Г. Система проектирования топологии интегральных схем ICE.—Новосибирск, 1991.—(Препр. СО АН СССР. ИАиЭ; 464).
7. Лившиц Э. А., Титов Д. Г. Алгоритмы работы с тайловыми представлениями топологии СБИС // Автометрия.—1991.—№ 3.

Поступила в редакцию 28 марта 1992 г.

УДК 681.325.538

А. А. Лубков, В. В. Полубинский

(Новосибирск)

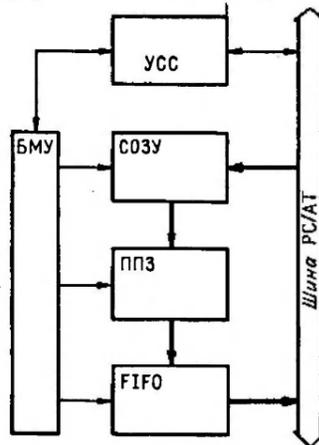
### АКСЕЛЕРАТОР ПРОЦЕССОРА С ПЛАВАЮЩЕЙ ЗАПЯТОЙ ДЛЯ IBM PC

Разработан одноплатный акселератор процессора с плавающей запятой (ППЗ) для IBM PC, на порядок увеличивающий производительность систем AT-286, AT-386. Рассмотрена функциональная схема, приведены некоторые временные характеристики.

**Введение.** Широкое распространение персональных компьютеров типа IBM PC/AT, AT-286, AT-386 и совместимых с ними значительно упростило и ускорило моделирование систем, требующих больших вычислительных ресурсов. В настоящее время у пользователя персонального компьютера больше вычислительных ресурсов, чем у пользователя мини-компьютера в режиме разделения времени. Производительности AT-386 и VAX-780 находятся примерно на одном уровне (1 МФлопс), но VAX-780 должен обслуживать несколько пользователей одновременно. Однако существуют применения, где вычислительная мощность персонального компьютера недостаточна. Такими являются алгоритмы цифровой фильтрации и моделирование систем синтеза изображения. Появление быстродействующих БИС отечественного производства для построения процессоров с плавающей запятой позволяет улучшить вычислительные характеристики ПЭВМ и расширить область их применения. БИС серии 1843 подходят для таких целей\*.

**Функциональная схема.** В Институте автоматки и электротехники СО РАН разработан акселератор операций ППЗ для IBM PC. На одной плате, устанавливаемой непосредственно в PC, размещены (см. рисунок): ППЗ; СОЗУ на 32 слова по 32 разряда; выходной буфер типа FIFO для результатов вычислений; блок микропрограммного управления (БМУ); устройство синхронизации и сопряжения (УУС). Цепочка СОЗУ — ППЗ — FIFO образует конвейер, что позволяет достичь максимальной производительности. Функция, выполняемая акселератором, определяется начальным адресом микропрограммы, загружаемым в акселератор из ЭВМ. Далее программа выполняется линейно, без переходов. Наличие 2 К слов микропрограммной памяти позволяет разместить несколько подпрограмм обработки данных (например, подпрограмма перемножения двух матриц  $[4 \times 4]$  занимает 12 % этой памяти).

Содержимое СОЗУ (загружается ПЭВМ до выполнения операции) при работе не



\* Сигнальная информация по комплекту микросхем 1843: Завод «Интеграл».—Минск, 1991.

Тип операции	Время выполнения операций, мкс				Чистое время
	АТ-286	АТ-386	АТ-286 с акселератором	АТ-386 с акселератором	
Вектор × вектор	237	104	16,1	18,7	1,6
Матрица × матрица	3792	1660	151	175	23
Вектор × матрица	950	415	21	23	6

модифицируется, что позволяет заранее задавать некоторые константы (например, коэффициенты в алгоритме фильтрации) и изменять лишь входные данные. Смену данных можно производить также во время работы акселератора. В адресном пространстве ЭВМ для обращения к СОЗУ используется область памяти дополнительного (пользовательского) ПЗУ. Обращение к СОЗУ допускается только по записи.

ППЗ выполняет арифметические операции (сложение, вычитание, умножение) за один такт в 200 нс. Также за один такт осуществляются операции преобразования форматов (DEC — IEEE, IEEE — DEC, плавающее — целочисленное и наоборот), а также дополнение до 2. Получение результатов может происходить каждые 200 нс. ПЭВМ не успевает извлекать результаты с такой скоростью, а использование дополнительного СОЗУ значительно усложняет акселератор. Оптимальным вариантом было принято использование на выходе конвейера буфера FIFO. Это позволяет распараллелить считывание готовых результатов и вычисления. Глубина FIFO выбрана 16 слов по 32 разряда.

**Скоростные характеристики.** В таблице приведены результаты тестирования компьютеров АТ-286 (12 МГц) и АТ-386 (21 МГц) с использованием акселератора и без него. Также указано чистое время выполнения соответствующих операций акселератором. Все времена приводятся в микросекундах.

Тестирование производилось на операциях перемножения векторов (размерность 4), матриц (4 × 4). В этих случаях исходные операнды обновлялись от операции к операции (т. е. в длительность операции включено время загрузки данных). В случае умножения вектора на матрицу обновлялся только вектор, а матрица была загружена один раз. Чистое время в таблице обозначает время, требуемое акселератору для выполнения операции при условии, что данные находятся в СОЗУ. Другими словами, чистое время — время между запуском акселератора на выполнение операции и появлением сигнала готовности. Худшие результаты работы с акселератором на АТ-386 по сравнению с АТ-286 можно объяснить более быстрой шиной АТ-286 (использовалась модель с расположением большинства адаптеров на основной плате ПЭВМ). Как видно из таблицы, выигрыш в производительности составляет 5—46 раз. При этом возможности самого акселератора существенно сдерживаются затратами на пересылки данных по каналам ПЭВМ. Очевидно, что с увеличением числа фиксированных операндов либо с увеличением сложности вычислений при том же количестве операндов выигрыш будет увеличиваться (уменьшение веса затрат на пересылки). Описанный акселератор может найти применение во многих областях, связанных с большими объемами вычислений. Наличие кросс-транслятора для подготовки микропрограмм позволяет создавать собственные подпрограммы для конкретного использования.

**Заключение.** Построенный на новой элементной базе одноплатный акселератор ППЗ позволяет значительно (на порядок) повысить производительность ПЭВМ в большинстве приложений, связанных с большими объемами вычислений.

*Поступила в редакцию 10 октября 1991 г.*