

Рис. 4

Единственная тонкость, возникающая при этом, состоит в том, что внутри системной платы PC происходит пересылка старшего и младшего байтов данных (HSD0 ÷ HSD7 и HSD8 ÷ HSD15), причем направление пересылки однозначно определяется сигналами SA0 и SBHE. В связи с этим драйверы младшего и старшего байтов данных (в направлении с cross-платы на PC) управляются разными сигналами $\overline{S} \rightarrow \overline{H} D0 \div D7$ и $\overline{S} \rightarrow \overline{H} D8 \div D15$ (рис. 4).

В следующей версии расширителя настройка под конкретные устройства на cross-плате будет выполняться программно.

Поступило в редакцию 10 октября 1991 г.

УДК 621.3.049.77 : 681.32.06

А. Г. Рябченко

(Новосибирск)

БИС АДРЕСНОГО ГЕНЕРАТОРА ДЛЯ СИСТЕМ ЦИФРОВОЙ ОБРАБОТКИ ИЗОБРАЖЕНИЙ

Приведено описание алгоритма функционирования, структурной схемы и особенностей реализации БИС адресного генератора, предназначенной для пересчета координат элементов двумерных фрагментов изображений в адрес этих элементов в линейной памяти.

Введение. Архитектура современных систем обработки изображений предусматривает совместную работу нескольких специализированных процессоров с информацией об изображении, размещенной в общей памяти. Именно такой подход принят, в частности, в разработках, проводимых в этой области в Институте автоматки и электрометрии СО РАН [1]. Одна из массовых операций в системах с подобной организацией — извлечение из общей линейной памяти данных о подлежащем обработке фрагменте изображения прямоугольной формы и передача их соответствующему процессору. Для обеспечения эффективности (как с точки зрения производительности, так и по затратам оборудования) реализации этой операции, требующей пересчета координат двумерного массива данных в адреса «одномерной» памяти, в ИАиЭ СО РАН была разработана специализированная БИС адресного генератора (АГ), состоящая из двух секций. Двухсекционность позволяет организовать доступ к двум независимым фрагментам изображения или режим «скользящего окна», применяемого, например, при фильтрации. Ниже описаны алгоритм функционирования и структурная схема АГ, особенности реализации БИС, а также ее основные технические характеристики.

Организация вычислений. В дальнейшем под изображением понимается двумерный массив цифровых отсчетов размерностью $L \times W$, состоящий из W строк по L отсчетов в каждой. При отображении этого массива на линейную память адрес элемента раstra с координатами (i, j) , где $1 \leq i \leq L$, $1 \leq j \leq W$, равен $B_0 + (j - 1)L + (i - 1)$. Здесь B_0 — адрес левого верхнего элемента раstra. Для задания прямоугольного фрагмента изображения (окна) используются параметры: B_0 — базовый адрес окна (адрес левого верхнего элемента), а также N_0 и K_0 — размеры окна (в единицах раstra) по горизонтали и вертикали соответственно (рис. 1, *a*).

АГ занимается вычислением адресов точек изображения, принадлежащих заданному окну, по следующему алгоритму:

```

k: = K0;  b: = B0;
WHILE k > 0 DO BEGIN
  x: = b;  b: = b + L;  n: = N0;
  k: = k - 1;
  WHILE n > 0 DO BEGIN
    OUT: = x;  x: = x + 1;
    n: = n - 1;
  END;
END;
END;

```

Здесь OUT — генерируемый адрес очередного отсчета.

Выбор именно такого способа обхода элементов изображения обусловлен планируемым использованием АГ.

Двухсекционная структура БИС позволяет одновременно вычислять адреса из двух окон, а также, что более важно, организовать режим «скользящего окна», когда вторая секция вычисляет базовый адрес окна для первой по вышеприведенному алгоритму. Новый базовый адрес подгружается в первую секцию, когда та заканчивает работу с последним элементом фрагмента, после чего начинается обход нового окна, смещенного относительно предыдущего (см. рис. 1, *a* — окно для первой секции, *b* — для 2-й, *c* — последние элементы, адреса которых сформирует АГ).

Двухсекционность БИС адресного генератора оказывается весьма полезной, например, при реализации фильтрации изображений. В этом случае N_0 и K_0 задаются размерностью ядра фильтра, N_1 и K_1 определяются исходя из размерности фильтруемого фрагмента, а B_0 должен быть выбран левее и выше первой точки фильтруемого изображения так, чтобы эта точка попадала в центр фильтра. При обработке изображения следует обратить внимание на краевые эффекты и дополнить кадр граничными точками с нужным значением.

Внутренняя структура АГ. Как видно из приведенного выше алгоритма, для генерации одного адреса необходимо произвести от двух до трех операций типа сложение/вычитание. Следует отметить, что схема создавалась для работы с изображением, содержащим до 2^{24} точек, при максимальной размерности окна $2^{12} \times 2^{12}$. Для того чтобы обеспечить максимальную производительность,

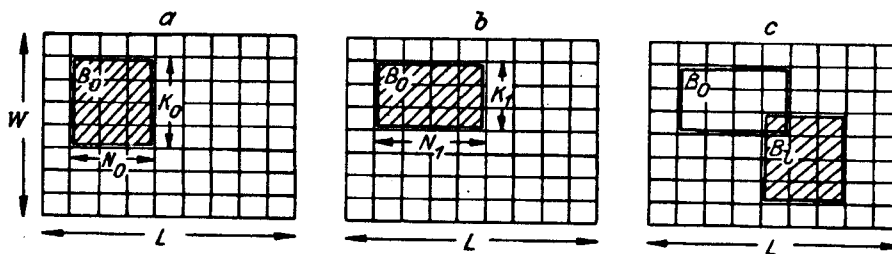


Рис. 1

была выбрана схема (рис. 2), состоящая из трех арифметических устройств: отслеживания размеров по горизонтали и вертикали (1, 2) и генерации адреса (3, 4). Двенадцатиразрядные значения N и K загружаются в регистры $RG1$ и $RG8$ соответственно и используются для перезагрузки $RG2$ и $RG9$. Устройства $DECRO$ и $DECR1$ формируют признаки последнего элемента в строке и последней строки во фрагменте изображения, используемые для управления мультиплексорами при перезагрузке регистров $RG2$, $RG4$, $RG7$ и $RG9$. Двадцатичетырехразрядные L и B_0 хранятся в $RG3$ и $RG6$ соответственно. В момент загрузки базового адреса B_0 происходит запись его значения в регистры $RG4$ и $RG5$, что необходимо для инициализации конвейера и позволяет избежать «пустых» тактов.

С целью повышения быстродействия устройства отслеживания размеров $DECRO$ и $DECR1$ были выполнены на основе сумматоров с ускоренным переносом, а устройство генерации адреса разбито на два: счетчик $INCR^*$, также выполненный на основе сумматора с ускоренным переносом, и сумматор ADD , работающие параллельно. Сумматор вырабатывает начальный адрес в строке для счетчика, который вычисляет последующие адреса. Такое разбиение позволяет при величине $N = 2$ увеличить производительность АГ в 2 раза, а при $N > 2$ — в 3 раза.

На рис. 3 приведена блок-схема АГ, поясняющая взаимодействие секций при работе в режиме «скользящего окна», где $AG0$ и $AG1$ — секции адресного генератора, изображенные на рис. 2. $AG1$ выставляет на шину $INT-BUS$ значение нового базового адреса, которое в нужный момент записывается в $RG6$ секции $AG0$ (см. рис. 2). В процессе работы для синхронизации с внешними устройствами вырабатываются признаки последнего элемента в строке и во фрагменте.

Реализация. БИС адресного генератора была спроектирована по 4-микронной μ МОП-технологии с самосовмещенным поликремниевым затвором.

* $DECRO$ и $INCR$ выполнены в виде сумматоров, прибавляющих -1 и 1 соответственно, реализовать же ускоренный перенос при уже известном одном слагаемом не составляет труда.

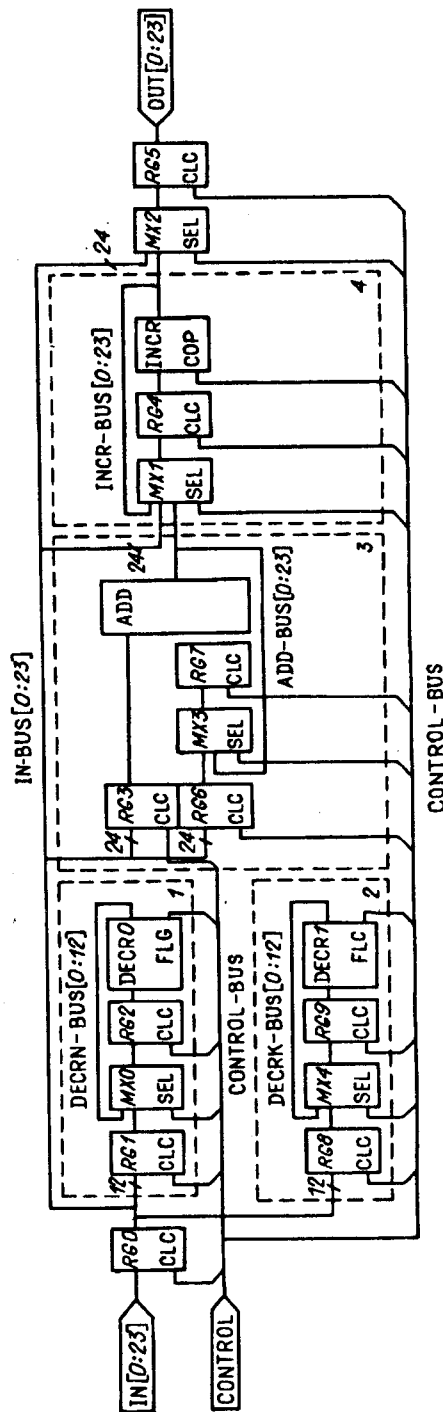


Рис. 2

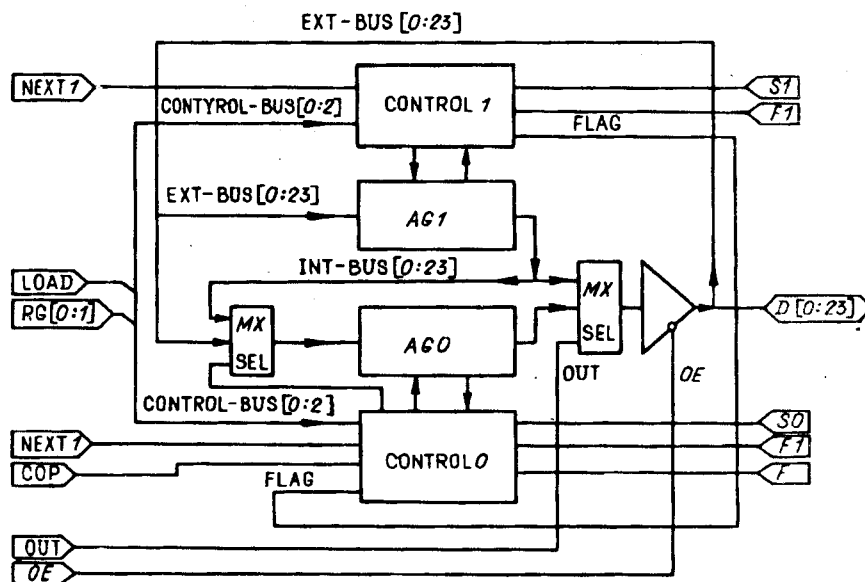


Рис. 3

При работе использовались средства автоматизированного проектирования, разработанные в ИАиЭ СО РАН [2—4], позволившие получить работоспособный образец с первой производственной итерации. Кристалл, разработанный за 4 мес, содержит более 9 тыс. транзисторов при размере $4,8 \times 6,8$ мм и имеет 40 внешних выводов. Тактовая частота экспериментальных образцов 7—9 МГц. Использование АГ позволяет увеличить быстродействие и снизить затраты на оборудование в существующих системах обработки изображения.

СПИСОК ЛИТЕРАТУРЫ

1. Киричук В. С., Косых В. П., Обидин Ю. В. и др. Методы и средства оперативной цифровой обработки изображения // Автометрия.—1984.—№ 4.
2. Лившиц З. А., Пичуев А. В. SimSim: программа логического моделирования МОП БИС на переключательном уровне // Автометрия.—1991.—№ 3.
3. Рябченко А. Г. MICE2: программа экстракции электрической схемы из описания топологии МОП СБИС // Автометрия.—1991.—№ 5.
4. Титов Д. Г. Система проектирования топологии интегральных схем ICE.—Новосибирск, 1991.—(Препр. СО АН СССР, ИАиЭ; 464).

Поступило в редакцию 2 января 1992 г.

УДК 621.3.049.771 : 681.3.019

Р. Р. Бикинцев

(Новосибирск)

БИС СИСТОЛИЧЕСКОГО ПРОЦЕССОРНОГО ЭЛЕМЕНТА

Рассматривается БИС-реализация операции двумерной свертки — одной из наиболее массовых вычислительных процедур в области обработки изображений. Обсуждаются организация систолического массива, выполняющего свертку изображения с заданным ядром, и результаты разработки базовой ячейки массива — БИС систолического процессорного элемента.