

А. А. Лубков, С. В. Храмов

(Новосибирск)

## РАСШИРИТЕЛЬ ШИНЫ IBM PC

Плата расширения шины IBM PC XT/AT играет роль интерфейса между выносной cross-платой с устройствами ввода-вывода и шиной PC. При этом настройка устройств ввода-вывода не сопряжена с риском порчи PC благодаря полной электрической развязке между ними. Рассмотрены функциональные схемы, поясняющие основные принципы работы устройства.

Широкое внедрение персональных компьютеров в производство и сферу обслуживания, рост наукоемкости технологических процессов повлекли за собой естественное повышение интереса к различного рода устройствам ввода-вывода (I/O). Возникла необходимость разработки специализированного периферийного оборудования для PC. Лидирующее место в заполнении отечественного рынка персональными компьютерами принадлежит фирме IBM; разработкой I/O-устройств для машин IBM PC XT/AT заняты многие специалисты в области вычислительной техники. Настройка разрабатываемых модулей непосредственно на PC сопряжена с риском порчи применяемых программ и даже вывода ПЭВМ из строя. Предлагаемый расширитель, повторяя шину PC, обеспечивает электрическую развязку этой шины (HOST) от шины cross-платы (SLAVE) (рис. 1). При этом:

- не теряется связь с ПЭВМ;
- производится с использованием возможностей ПЭВМ настройка платы;
- обеспечивается возможность подключения большого числа I/O-устройств, в том числе использующих прерывания и передачу по прямому доступу, к выносной cross-плате.

Основная идея рассматриваемого расширителя шины IBM PC XT/AT состоит в электрической развязке шин I/O PC и выносной cross-платы, на которой установлено от 1 до 8 I/O разъемов IBM. При этом питание cross-платы осуществляется от внешнего источника (например, от источника КАМАК), а плата расширителя питается от источника PC.

Структурно расширитель состоит из двунаправленных драйверов, электрически разделяющих шины PC и cross-платы, и схемы управления этими драйверами. Схема управления анализирует сигналы, поступающие как от PC, так и от I/O-устройств на cross-плате. Направление передачи адресных драйверов задается сигналом MASTER. Если этот сигнал отсутствует на обеих шинах или активен на шине HOST, то адрес транслируется в направлении HOST→SLAVE. Если сигнал MASTER активен на шине SLAVE, то адрес транслируется в направлении SLAVE→HOST.

Для определения направления передачи данных необходимо анализировать не только сигналы шины, но и знать, где находится адресуемое устройство: на шине HOST или SLAVE. Это требует программирования селекторов адресов памяти и портов, подключаемых к шине SLAVE.

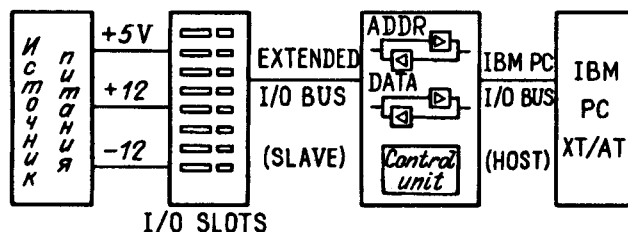


Рис. 1

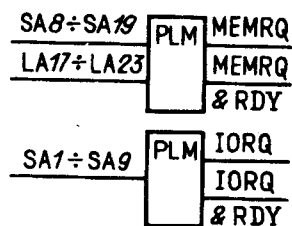


Рис. 2

Обращения к памяти, на которые должно откликаться I/O-устройство, селективируются PLM (рис. 2), формирующей сигнал MEMRQ. Кроме него формируется также сигнал MEMRQ & RDY, свидетельствующий о том, что при обращении к памяти по этим адресам со стороны I/O-устройства будет выставлен сигнал «Не готов» I/O CH RDY. Такие же сигналы IORQ и IORQ & RDY формируются при обращении к портам. Необходимость выделения отдельных сигналов MEMRQ & RDY и IORQ & RDY обусловлена слишком большой задержкой между сигналами MEMR, MEMW, IOR, IOW и возника-

ющим в ответ на них (если устройство медленное) сигналом I/O CH RDY. Итого суммарная задержка получается порядка 150 нс, и за это время процессор, не получив сигнала I/O CH RDY, успевает уйти на следующий командный цикл\*.

Во избежание этого была введена следующая схема (рис. 3). Сразу после детектирования обращения к I/O-устройству запускается мультивибратор, выставляющий сигнал неготовности (лог. «0» на линии —I/O CH RDY шины PC). Длительность импульса мультивибратора чуть больше суммарного времени задержки (например, 180—200 нс). За это время устройство успеет выставить свой сигнал неготовности. Таким образом удалось сократить задержку до 15 нс. Этого вполне хватает процессору, чтобы не уйти на следующий цикл.

Драйверы адресных линий фактически управляются сигналами H-MASTER и S-MASTER (префиксы "H" и "S" означают соответственно сигналы с шины HOST (PC) и SLAVE (I/O-устройство)). Драйверы линий данных открываются сигналами  $\overline{H} \rightarrow \overline{S}$  (с PC на cross-плату) и  $\overline{S} \rightarrow \overline{H}$  (с cross-платы на PC). Возникновение этих сигналов пояснено в таблице.

$\overline{H} \cdot \overline{IOW} \cdot \overline{S} \cdot \text{MASTER} \rightarrow \overline{H} \rightarrow \overline{S}$
$\overline{H} \cdot \overline{MEMW} \cdot \overline{S} \cdot \text{MASTER} \rightarrow \overline{H} \rightarrow \overline{S}$
$\overline{H} \cdot \overline{IOR} \cdot \overline{S} \cdot \text{MASTER} \cdot \overline{IORQ} \rightarrow \overline{H} \rightarrow \overline{S}$
$\overline{H} \cdot \overline{MEMR} \cdot \overline{S} \cdot \text{MASTER} \cdot \overline{MEMRQ} \rightarrow \overline{H} \rightarrow \overline{S}$

$\overline{S} \cdot \overline{IOW} \cdot \overline{S} \cdot \text{MASTER} \rightarrow \overline{S} \rightarrow \overline{H} \cdot D0 + D7$
$\overline{S} \cdot \overline{MEMW} \cdot \overline{S} \cdot \text{MASTER} \rightarrow \overline{S} \rightarrow \overline{H} \cdot D0 + D7$
$\overline{S} \cdot \overline{IOR} \cdot \overline{S} \cdot \text{MASTER} \cdot \overline{IORQ} \rightarrow \overline{S} \rightarrow \overline{H} \cdot D0 + D7$
$\overline{S} \cdot \overline{MEMR} \cdot \overline{S} \cdot \text{MASTER} \cdot \overline{MEMRQ} \rightarrow \overline{S} \rightarrow \overline{H} \cdot D0 + D7$

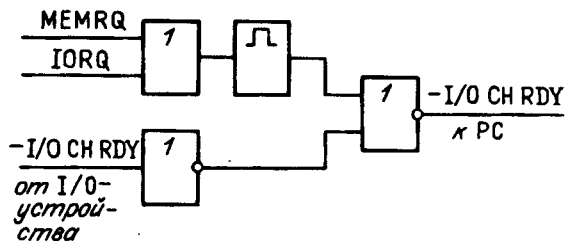


Рис. 3

\* Морс С. П., Гилберт Д. Д. Архитектура микропроцессора 80286. — М.: Радио и связь, 1990.

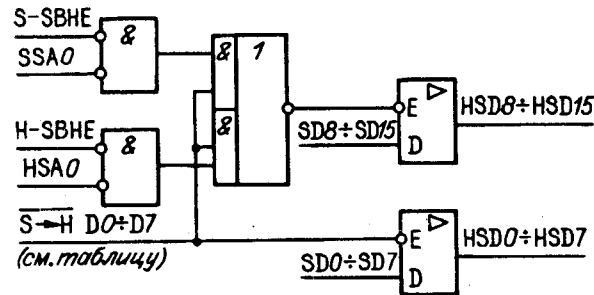


Рис. 4

Единственная тонкость, возникающая при этом, состоит в том, что внутри системной платы PC происходит пересылка старшего и младшего байтов данных (HSD0 ÷ HSD7 и HSD8 ÷ HSD15), причем направление пересылки однозначно определяется сигналами SA0 и SBHE. В связи с этим драйверы младшего и старшего байтов данных (в направлении с cross-платы на PC) управляются разными сигналами  $\overline{S} \rightarrow \overline{H} D0 \div D7$  и  $\overline{S} \rightarrow \overline{H} D8 \div D15$  (рис. 4).

В следующей версии расширителя настройка под конкретные устройства на cross-плате будет выполняться программно.

Поступило в редакцию 10 октября 1991 г.

УДК 621.3.049.77 : 681.32.06

А. Г. Рябченко

(Новосибирск)

### БИС АДРЕСНОГО ГЕНЕРАТОРА ДЛЯ СИСТЕМ ЦИФРОВОЙ ОБРАБОТКИ ИЗОБРАЖЕНИЙ

Приведено описание алгоритма функционирования, структурной схемы и особенностей реализации БИС адресного генератора, предназначенной для пересчета координат элементов двумерных фрагментов изображений в адрес этих элементов в линейной памяти.

**Введение.** Архитектура современных систем обработки изображений предусматривает совместную работу нескольких специализированных процессоров с информацией об изображении, размещенной в общей памяти. Именно такой подход принят, в частности, в разработках, проводимых в этой области в Институте автоматки и электрометрии СО РАН [1]. Одна из массовых операций в системах с подобной организацией — извлечение из общей линейной памяти данных о подлежащем обработке фрагменте изображения прямоугольной формы и передача их соответствующему процессору. Для обеспечения эффективности (как с точки зрения производительности, так и по затратам оборудования) реализации этой операции, требующей пересчета координат двумерного массива данных в адреса «одномерной» памяти, в ИАиЭ СО РАН была разработана специализированная БИС адресного генератора (АГ), состоящая из двух секций. Двухсекционность позволяет организовать доступ к двум независимым фрагментам изображения или режим «скользящего окна», применяемого, например, при фильтрации. Ниже описаны алгоритм функционирования и структурная схема АГ, особенности реализации БИС, а также ее основные технические характеристики.