

6. Бакалов В. П., Шитов К. М. Моделирование процесса восстановления двумерного комплексного сигнала по амплитудному спектру при частично искаженном фазовом спектре // Изв. вузов. Радиоэлектроника.— 1986.— 29, № 9.
7. Акимова Г. А., Сырых Ю. П., Фролов А. В. О восстановлении двумерного объекта по модулю его фурье-преобразования // Автометрия.— 1988.— № 1.
8. Акимова Г. А., Матайбася В. В., Сырых Ю. П., Фролов А. В. Итерационный метод решения фазовой задачи // Радиотехника.— 1989.— № 4.
9. Рытов С. М., Кравцов Ю. А., Татарский В. И. Введение в статистическую радиофизику.— М.: Наука, 1978.— Ч. 2.

Поступило в редакцию 21 февраля 1989 г.

УДК 681.327

В. Н. ВЬЮХИЦ, Ю. Л. ТАНИ  
(Новосибирск)

#### АДАПТЕР ШИН РС/АТ — VME

В последнее время, наряду с большими и мини-машинами, в системах сбора и обработки информации находят все большее применение микроЭВМ и персональные компьютеры (РС). Обладают цветной графикой, большим набором прикладных программ, РС значительно улучшают интерфейс с пользователем. С другой стороны, среди вычислительных систем широкое распространение получили комплексы на основе стандарта VME. В последнее время стандарт VME используется для разработки систем автоматизации и систем сбора и обработки информации. При разработке АРМ исследователя на основе стандарта VME в качестве управляющей машины выбран персональный компьютер РС/АТ и возникла необходимость в адаптере к РС для управления магистралью VME. Исходя из этого, спроектирован адаптер шин РС — VME, ориентированный на использование в составе АРМ. Так как при разработке АРМ не ставилась задача обеспечения полного протокола VME, в адаптере часть функций VME не реализована: отсутствует возможность работы в многопроцессорных системах, нет поддержки циклов VME «только адресация» и «блочная передача».

Адаптер последовательной связи, входящий в состав стандартного оборудования РС, не обеспечивает необходимую скорость передачи данных, и поэтому был разработан адаптер, использующий параллельную линию связи и обеспечивающий согласование протокола обмена синхронной шиной РС/АТ и асинхронной шиной VME.

Для согласования протоколов магистрали VME и шины РС цикл VME необходимо «привязать» к циклу РС, а процедуру обмена завершить за время цикла РС. При использовании РС с тактовой частотой 8/10 МГц модулям VME необходимо дешифровать адрес и подготовить (или принять) данные за 100—150 нс. Это время может оказаться недостаточным для некоторых модулей, и поэтому для обеспечения надежного обмена адаптер должен удлинять стандартный цикл РС за счет ввода дополнительных тактов ожидания до получения ответа от модуля. Если по истечении времени максимального числа дополнительных тактов подтверждения так и не поступило, адаптер должен прервать обмен и через прерывание сообщить об ошибке. В разработанном адаптере максимальное число дополнительных тактов 10, по истечении которых происходит прерывание с вектором 72h.

Так как адаптер проектировался для системы с одним ведущим (РС), проблемы арбитража не возникало, однако в многопроцессорных системах VME она существует. Если другое активное устройство захватило шину, даже когда РС имеет высший приоритет, то всегда существует вероятность того, что ведущий не успеет освободить шину за время, в течение которого РС сможет провести обмен (максимальное удлинение цикла РС 2 мкс). Возможный выход из этой ситуации — повторные обращения к модулям с удержанием шины до «удачной» попытки или постоянное обладание шиной с сообщением РС о том, что кто-то хочет произвести обмен (например, по прерыванию).

Согласование разрядности шин адресов и данных РС/АТ и VME не составляет особых трудностей. VME допускает следующие форматы адреса и данных: короткая адресация — 15 разрядов адреса A1...A15; стандартная адресация — 23 разряда A1...A23 и расширенная адресация — A1...A31 (здесь используются, кроме линий A1...A23 на основном разъеме, линии A24...A31 на дополнительном разъеме). Что касается формата шины данных, то D0...D15 находятся на основном разъеме, а D16...D31 — на дополнительном, и из этого вытекают два формата: 16- и 32-разрядный обмен. В АРМ использовался только основной разъем, и максимальная разрядность данных — 16 разрядов, адреса — 23 разряда. Персональный компьютер РС/АТ имеет разрядность — 24 разряда адреса и 16 разрядов данных. Часть этого адресного пространства занимают ОЗУ и ПЗУ, остальное отведено пользователю, и в нем можно разместить адреса модулей VME.

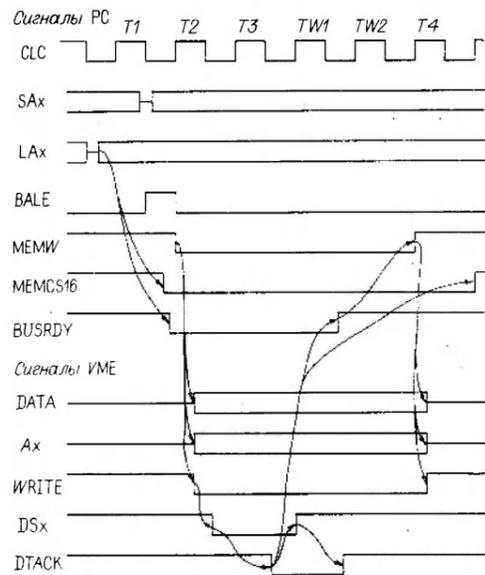


Рис. 1

Современные системы автоматизации часто должны обеспечивать работу с несколькими крейтами. Этого можно достичь, либо располагая адресное пространство каждого крейта в своем, заранее определенном сегменте памяти PC, либо помещая адресное пространство всех крейтов в одном и том же сегменте PC и используя специальный регистр для выбора того или иного крейта. Второй способ менее удобен, но зато позволяет работать с любым числом крейтов при небольшом занимаемом адресном пространстве. В описываемом адаптере используется второй способ для работы с двумя крейтами.

Существенным для построения адаптера является способ адресации к внешним устройствам. В персональных компьютерах адресные пространства памяти и портов ввода-вывода разделены так, что обращаться к портам ввода-вывода можно только командами OUT и IN. PC/AT имеет адресное пространство команд и данных 16 Мбайт и адресное пространство портов ввода-вывода 64 Кбайта. И соответственно адресоваться к модулям VME можно либо как к памяти, либо как к портам ввода-вывода. Каждый из этих способов имеет как преимущества, так и недостатки.

Обращение к внешним устройствам, как к портам ввода-вывода, является «классическим» для персональных компьютеров, причем настолько «классическим», что в адресном пространстве ввода-вывода с трудом можно выделить непрерывную область размером больше 128 байт (в PC/AT используются и зарезервированы 23 устройства). И хотя процессор при обращении к портам выставляет полный 16-разрядный адрес [1], большинство устройств дешифрируют только 10 младших адресов — A0...A9, тем самым еще в большей степени ограничивается адресное пространство. Выход из этого — страничная организация памяти VME. При такой организации все адресуемое пространство VME, как портов ввода-вывода, делится на страницы по 128 байт — всего 64 Кбайта/128 байт = 512 страниц (короткая адресация). Для стандартной адресации VME (23 разряда) используется дополнительный регистр, в который заносятся адреса A16...A23.

Рассмотрим теперь режим обращения к модулям VME, как к ячейкам памяти. В доступной для разработчика конфигурации PC/AT ОЗУ занимает 4 Мбайта, 11,5 Мбайт отведено под устройства ввода-вывода пользователя (в этой области можно расположить адресное пространство VME). Обращение к расширенной памяти можно производить через прерывание BIOS 15h. Перед этим необходимо заполнить таблицу, куда заносится код прерывания, адреса источников и приемника, объем массива и др. Этот режим является более эффективным для передачи больших объемов информации, в то время как для единичных обращений более предпочтителен режим порта ввода-вывода.

Шина PC/AT допускает обмен как байтами, так и словами [1]. Для увеличения скорости передачи данных используется обмен 16-разрядными словами за один цикл записи или чтения. В этом случае периферийное устройство, если оно допускает обмен 16-разрядными словами, после распознавания обращения к нему должно выставить сигнал MEMCS16 или IOCS16 (соответственно при обращении к нему, как к памяти или порту ввода-вывода), причем задержка на выставление сигнала MEMCS16 для надежной работы не должна превышать 10 нс относительно переднего фронта сигнала BALE [2]. Использование ранней (до прихода сигнала BALE) дешифрации адресных линий LA17 — LA23 позволяет увеличить время на дешифрацию до 100 нс. Дешифрацию адресов и формирование сигналов IOCS16 и MEMCS16 осуществляет адаптер. На рис. 1 показана временная диаграмма цикла записи в модуль VME с двумя дополнительными тактами ожидания (режим памяти).

Функциональная схема адаптера изображена на рис. 2. Адаптер состоит из двух плат: вставка в PC и вставка в крейт VME, соединенные между собой жгутом из 50 линий типа «витая пара». Вставка в PC включает в себя буфер адресов и управляющих сигналов PC (БАРС) и двунаправленный буфер данных PC (ШДРС). Находящийся во вставке в крейт VME блок управления (БУ) формирует сигналы DS0, DS1, IACK, WRITE для управления модулями в крейте. Сигналы с адресных линий SA0...SA15 поступают на дешифратор A (ДА) и на шинный формирователь адреса (ША1). В режиме памяти происходит обычная трансляция адресов, а в режиме портов адреса A7...A15 замещаются содержимым регистра страниц (РС). В режиме памяти дешифратор B (ДВ) анализирует сигналы на адресных линиях

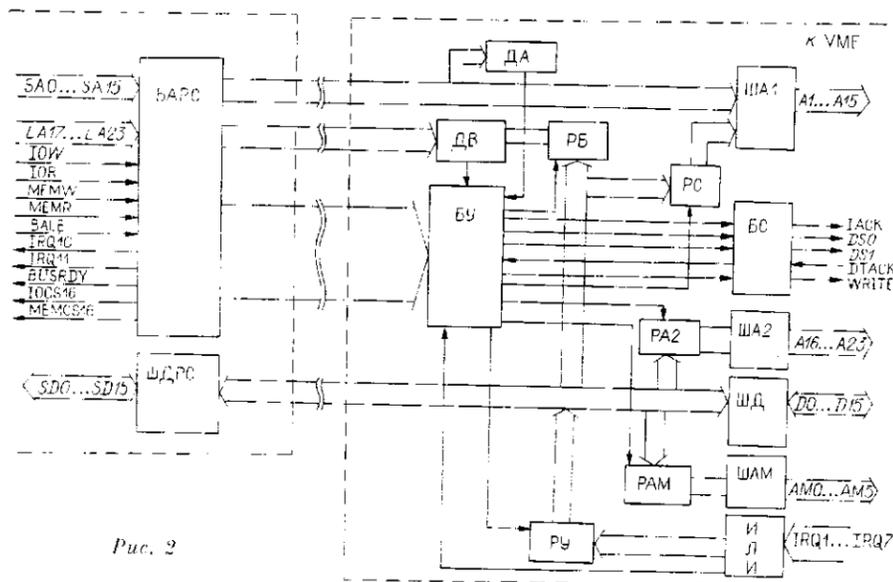


Рис. 2

LA17...LA23. Содержимое регистра банка РС (РБ) задает начальный адрес в адресном пространстве РС, начиная с которого будут располагаться адреса модулей VME. Регистр стандартной адресации (РА2) и регистр адресного модификатора (РАМ) увеличивают адресное пространство VME. Шинные формирователи адресов А16...А23 (ША2), адресного модификатора (ШАМ), управляющих сигналов (БС) и двунаправленный шинный формирователь данных (ШД) обеспечивают полную буферизацию сигналов на шине VME.

В адаптере реализована поддержка многоуровневых запросов на прерывание от VME. Для этого в адаптере имеются регистр уровня (РУ) прерывания и семь псевдорегистров статуса прерывания, по одному на каждый уровень. При обращении по адресу этих регистров происходит трансляция данных (статуса), выставляемых модулем в цикле подтверждения прерывания с шины VME на шину РС. Обслуживание прерываний производится программно. При требовании прерывания модуль VME выставляет запрос на линии IRQ1...IRQ7 VME. Запросы от всех уровней объединяются по схеме ИЛИ и поступают на запрос прерывания IRQ11 РС. В компьютере возникает прерывание с вектором 73h. Далее, если возможны запросы с различными уровнями, читается регистр уровня прерывания. Он 7-битовый (D0...D6), и каждый сброшенный бит сообщает о требовании прерывания соответствующего уровня. D0 соответствует уровню IRQ1. Анализируя содержимое этого регистра, определим запрос, обслуживаемый в первую очередь. Читая регистр статуса, соответствующий выбранному запросу, получаем статус, который выставляет запросчик в цикле подтверждения прерывания VME. Адаптер при чтении этих регистров обрабатывает необходимые сигналы цикла подтверждения прерывания. Служебные регистры адаптера адресуются только как порты ввода-вывода.

Программирование адаптера заключается в инициализации его служебных регистров и занесении по адресам векторов 72h и 73h адресов своих подпрограмм обработки прерываний. Дальнейшая работа адаптера прозрачна для пользователя, т. е. РС может работать с регистрами VME-модулей как со своими портами ввода-вывода или как со своей памятью.

Для работы в составе АРМ изготовлен адаптер, обладающий следующими характеристиками:

1. Режимы работы: а) режим портов с тактовой частотой на шине РС 8 МГц; б) режим памяти с тактовой частотой на шине РС 8 и 10 МГц.

Режимы работы (порты -- память) задаются переключателем, установленным на плате адаптера.

2. Поддерживаемые циклы VME: а) чтение 16-разрядных слов; б) запись 16 разрядных слов; в) обработка прерываний.

3. Время обмена массива данных размером 1024 16-разрядных слов с учетом программных издержек в различных режимах (тактовая частота 8 МГц, язык программирования С): а) режим портов 13 мкс/слово; б) режим памяти: одиночный обмен 590 мкс/слово; блочный обмен 1,8 мкс/слово.

4. Адресация в VME: а) короткая -- 15 р. адреса; б) стандартная -- 23 р. адреса.

5. Конструкция -- две платы: вставка в РС и вставка в край VME, связанные жгутом длиной 1,5 м из одножильных проводов типа «витая пара».

6. Питание -- вставки в РС от источника РС, вставки в край VME от источника VME.

В режиме портов ввода-вывода максимальная достигнутая тактовая частота 8 МГц. Это связано с тем, что дешифрация сигналов линии РС производилась в модуле, установленном в крейте VME и на большей частоте (10 МГц). Задержка, определяемая временем прохода сигналов через логические формирователи, линию связи, дешифратор, превышала максимально допустимую для выставления адаптером сигнала IOCS16. По этой же причине пришлось отказаться от применения гальванической развязки, так как при использовании доступных оптопар с минимальной задержкой (30 нс) суммарная задержка оказывается все-таки большой.

В адаптере отсутствует возможность передачи данных путем прямого доступа к памяти. Как сообщается в [3], максимальная скорость обмена в режиме ПДП для машины PC/AT составляет 400...800 Кбайт/с, в то же время скорость, достигнутая в адаптере без применения канала прямого доступа, составляет 550 Кбайт/с (режим памяти, блочная передача), что сопоставимо со скоростью обмена по каналу ПДП.

В настоящее время разработана и находится в процессе изготовления плата адаптера, в которой устранен ряд недостатков, присущих первому образцу: 1) за счет переноса блока управления из вставки в крейт VME во вставку в РС увеличена тактовая частота для обоих режимов до 10 МГц; 2) до четырех увеличено число поддерживаемых крейтов; 3) переключение режимов работы (порты — память) программное.

#### СПИСОК ЛИТЕРАТУРЫ

1. Лю Ю-Чжен, Гибсон Г. Микропроцессоры семейства 8086/8088.— М.: Радио и связь, 1987.
2. COMPAQ DESKPRO 386 Technical Reference Guide.
3. Филлис Б. Выбор шины для построения системы сбора данных на базе персонального компьютера // Электроника.— 1989.— № 10.

Поступило в редакцию 9 февраля 1990 г.

УДК 62-50

Ю. Г. ЗОЛОТАРЕВ, М. Г. ЗОТОВ  
(Москва)

#### НЕКОТОРЫЕ РЕЗУЛЬТАТЫ ИССЛЕДОВАНИЯ СИСТЕМ С ЗАПАЗДЫВАНИЕМ

Большинство производственных процессов описывается уравнениями с запаздывающим аргументом. Причем в большом количестве случаев запаздывание сильно влияет на динамику процесса и пренебречь им нельзя. Неучет этого обстоятельства ведет к созданию малоэффективных систем управления и обработки информации. В литературе в силу трудностей теоретического характера рассмотрены лишь простейшие системы с запаздыванием вида

$$W(s) = \frac{c_0 s^n + c_1 s^{n-1} + \dots + c_n}{b_0 s^n + b_1 s^{n-1} + \dots + b_n} e^{-\mu s} = W_0(s) e^{-\mu s}, \quad \mu \geq 0. \quad (1)$$

Однако уже простейший случай обработки сигнала от одного источника, поступающего по двум каналам, имеющим разные передаточные функции  $W_{01}(s) e^{-\mu_1 s}$  и  $W_{02}(s) e^{-\mu_2 s}$ , приводит к тому, что общая передаточная функция  $W_0(s) = W_{01}(s) e^{-\mu_1 s} + W_{02}(s) e^{-\mu_2 s}$  по структуре не совпадает с (1). Легко представить себе объект  $W_0(s) = Q_0(s)/P_0(s)$ , в обратной связи которого имеется запаздывание  $e^{-\mu s}$ . Передаточная функция такого объекта будет вида  $Q_0(s)/[P_0(s) + Q_0(s) e^{-\mu s}]$ , отличающегося от (1).

Естественно, при решении задач анализа и синтеза систем обработки информации и управления встают традиционные вопросы поиска соответствующих алгоритмов и критериев, но применительно к объектам с более сложным математическим описанием. В общем случае система может описываться дифференциальным уравнением вида

$$Q_0(x(t)) + \sum_{i=1}^r Q_i(x(t - \tau_i)) = F_0(y(t - \mu)) + \sum_{i=1}^l F_i(y(t - \mu - \nu_i)), \quad (2)$$

здесь  $\nu_i > 0$ ,  $\tau_i > 0$ ,  $\mu \geq 0$  — постоянные числа, а  $Q_i(x)$ ,  $F_i(y)$  — линейные диффе-