

ты можно защищать индивидуально каждую страницу от чтения, записи или выборки инструкции.

Программная защита размещает страницы памяти на одном из четырех приоритетных уровней. Программы, помещенные на один из уровней защиты, не имеют никакого доступа к программам или данным, помещенным на более высокие уровни. Таким образом осуществляется защита системных программ от программ пользователей.

Наличие сверхоперативного запоминающего устройства (КЭШ-памяти) позволяет существенно сократить среднее время доступа к оперативной памяти. В модуле управления памятью также размещена система управления индикаторами передней панели ЭВМ. Она выполнена на базе микропроцессорного комплекта К580. С ее помощью можно наблюдать относительную загрузку процессора, степень использования сверхоперативной памяти, режимы работы ЭВМ, содержимое любой ячейки оперативной памяти и любого регистра, текущее время и ряд других параметров. Применение микропроцессора позволило реализовать подробную и полезную индикацию состояния ЭВМ на небольшой передней панели.

**Модуль памяти.** 24-разрядная адресная шина ЭВМ «Север» позволяет использовать объем памяти до 32 Мбайт. Модуль памяти имеет емкость 1 Мбайт. Для защиты содержимого памяти от случайных сбоев в модуле памяти используется механизм обнаружения и исправления ошибок с помощью кода Хэминга [2].

**Интерфейсы внешних устройств.** В ЭВМ «Север» существует два типа ввода-вывода: программный и прямой доступ к памяти. Программный ввод-вывод полностью управляется процессором. Каждое устройство, подключаемое к ЭВМ, имеет ряд определенных регистров, адреса которых являются параметрами в команде ввода-вывода. Содержимое регистров определяет режим работы внешних устройств.

Для того чтобы освободить процессор от необходимости производить ввод-вывод, используется прямой доступ к памяти. При этом процессор лишь активизирует внешнее устройство и продолжает вычислительную работу. Весь обмен с памятью производится под управлением схемы прямого доступа.

Для ЭВМ «Север» разработаны интерфейсы с прямым доступом к памяти: для НМЛ СМ-5300, СМ-5306, СМ-5309, для НМД СМ-5400, СМ-5412, «МЕРА-9450», а также для подключения к сетям ЭВМ. Алфавитно-цифровые и графические терминалы подключаются через модули 8-канального последовательного или параллельного интерфейса по программному каналу.

#### ЛИТЕРАТУРА

1. Мик Дж., Бриг Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией. — М.: Мир, 1984.
2. Питерсон У., Уэлдон Э. Коды, исправляющие ошибки. — М.: Мир, 1976.

*Поступила в редакцию 14 февраля 1986 г.*

УДК 681.324

**А. В. БЕРЕЗОВСКИЙ, В. А. КОЗЛАЧКОВ, И. И. КОРШЕВЕР,  
С. А. ПАВЛОВ**  
(Новосибирск)

#### СИГНАЛЬНЫЙ ПРОЦЕССОР СП-8

**Введение.** Сигнальные процессоры находятся на нижнем уровне иерархии периферийных векторных процессоров [1]; они используются, как правило, рядом с источником сигнала (иногда такие процессоры

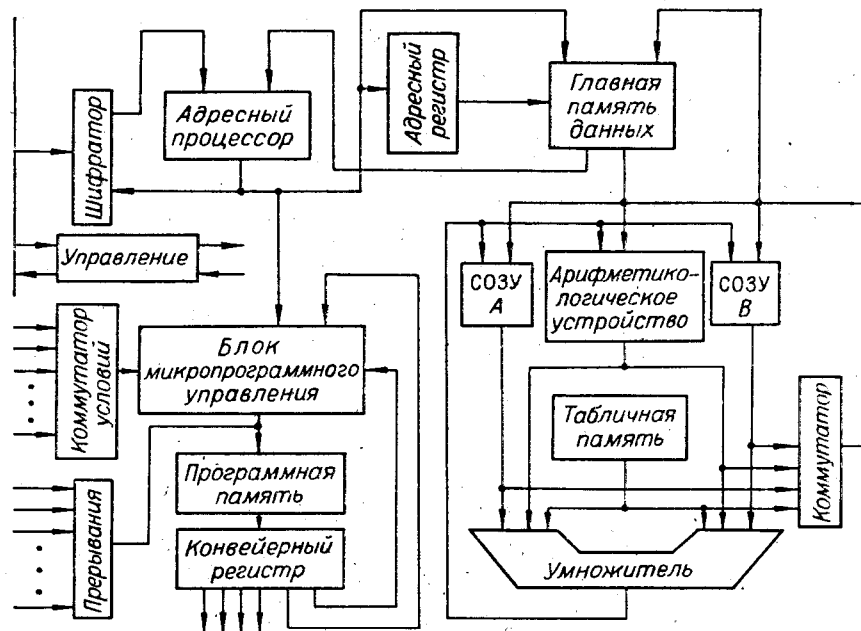
снабжены аналоговым входом и встроенным аналого-цифровым преобразователем). Необходимость в подобных устройствах возникает в ряде задач цифровой первичной обработки сигналов и изображений. Процессоры такого типа, на вход которых поступают обычно результаты аналого-цифрового преобразования; представляющие собой чаще всего числа в формате фиксированной запятой, являются целочисленными процессорами ограниченной разрядности (16—24 разряда) [2]. Эти процессоры обычно ориентированы на шину микроЭВМ и интегрируются в рамках систем сбора и первичной переработки информации.

Архитектура сигнальных процессоров оптимизирована на осуществление большого количества итеративных циклов умножений и сложений (вычитаний). Высокопараллельная внутренняя структура сигнального процессора позволяет выполнять одновременно индексацию массивов, счет циклов, извлечение данных из памяти и регистров, арифметические и некоторые другие операции. Ограниченный (по сравнению с процессорами с плавающей запятой) динамический диапазон представления данных позволяет мобилизовать все архитектурные ресурсы на повышение быстродействия. При этом широко используется аппаратная реализация некоторых наиболее часто употребляемых специальных функций.

В 1984 г. в ИАиЭ СО АН СССР был разработан 16-разрядный сигнальный процессор СП-8 с производительностью 10 млн. операций в секунду. Процессор ориентирован на шину микроЭВМ «Электроника 60» и выполнен на двух платах двойного формата в конструктиве этой микроЭВМ [3].

**Функциональное описание сигнального процессора** (см. рисунок). Основной элемент СП-8 — арифметический конвейер, состоящий из АЛУ, сверхоперативных регистров СОЗУ А и СОЗУ В и умножителя. Эти операционные узлы соединяются с главной и табличной памятью и между собой с помощью набора программно-управляемых мультиплексов. Подобная система коммутации обладает достаточной гибкостью для организации конвейерной работы этих узлов.

В качестве АЛУ использован поразрядно-секционированный 16-разрядный микропроцессор 1804BC1 [4], имеющий 16 внутренних регистров и богатый набор микроинструкций. Умножение осуществляется



Функциональная схема сигнального процессора СП-8

с помощью БИС 1802ВР5 — матричного однокристалльного умножителя  $16 \times 16$  [4]. В качестве его входных операндов используются выходы АЛУ, сверхоперативных регистров и табличной памяти, а выходной 16-разрядный округленный результат умножения может быть, в свою очередь, подан на входы этих устройств. Функциональные устройства конвейера управляются полем микроинструкций общей разрядностью 48 бит, что составляет половину формата управляющего слова. Параллельно с работой конвейера данные могут поступать из главной памяти и загружаться в сверхоперативные регистры или АЛУ, а результаты вычислений — вводиться обратно в главную память.

Главная память организована в виде двух расслоенных банков и имеет пропускную способность, равную одной операции чтения или записи за такт (при обращении к перемежающимся банкам). Объем памяти может достигать 128 Кслов. Главная память служит для обмена массивами данных с управляющей ЭВМ и хранения промежуточных данных, подлежащих обработке. Для хранения часто употребляемых констант, табличных значений тригонометрических функций, используемых в алгоритме быстрого преобразования Фурье, а также для табличного представления часто употребляемых функций применяется табличная память общим объемом 4 Кслов.

Формирование адресов главной и табличной памяти производится адресным (управляющим) процессором, выполненным на поразрядных секциях того же типа, что и АЛУ. Использование независимого процессора позволяет осуществлять вычисление адресов одновременно с работой арифметического конвейера. Для ускоренного упорядочения операндов в алгоритме ВПФ в адресный процессор включен аппаратный блок операции «реверсирования битов». Адреса табличной и главной памяти могут также модифицироваться с помощью адресных счетчиков, что позволяет использовать вычислительные ресурсы адресного процессора для других целей.

Внутренние регистры адресного (управляющего) процессора разделены на две равные группы так, что половина из них являются универсальными, а половина — специализированными для использования в процедурах управления. Специализированные регистры адресуются и могут быть модифицированы с помощью ЭВМ.

Функционирование адресного (управляющего) процессора определяется режимом, в котором в данный момент находится вся система. Существуют два режима: вычислений и обработки микропрерываний. В первом режиме процессор функционирует как адресный, во втором — как управляющий. В режиме обработки микропрерываний этот процессор выполняет функции взаимодействия с каналом (программный обмен, прямой доступ к памяти, каналные прерывания), а также тестовые операции и регенерацию главной памяти.

СП-8 может быть представлен как синхронный микропрограммный автомат, работающий под управлением блока микропрограммного управления (БМУ). Для реализации БМУ использован стандартный набор интегральных схем серии 1804, рекомендованный [5] для организации подобных устройств. Объем адресной программной памяти равен  $2 \text{ К } 96$ -разрядных слов. Гибкость формирования следующего адреса микроинструкций достигается разнообразием функций БМУ, а также большим количеством условий, поступающих из различных функциональных устройств конвейера. Имеется возможность использовать вложенные микропрограммы и обрабатывать асинхронные события, вызываемые микропрерываниями.

Микропрерывания в процессоре СП-8 — основной механизм асинхронного взаимодействия с ЭВМ. В процессоре находятся пять источников микропрерываний, каждый из которых вызывает микропрерывания с фиксированным адресом. Микропрерывания разрешены всегда в режиме вычислений. При возникновении микропрерываний процессор записывает текущее значение счетчика микроинструкций в стек и пе-

переходит в режим обработки микропрерываний. В этом режиме повторные микропрерывания запрещены, чем достигается один уровень вложенности и защита системы от переполнения аппаратного стека. В режиме обработки микропрерываний происходит блокировка синхросигнала, стробирующего работу арифметического конвейера; при этом конвейер как бы сохраняет свое значение на весь период обработки микропрерывания. При выходе из режима обработки микропрерываний арифметический конвейер возобновляет свою работу с прерванной точки. Источниками микропрерываний являются: каналные сигналы ВВОД и ВЫВОД, стробированные адресным селектором; сигнал начала цикла прямого доступа к памяти ПВ; сигнал требования выдачи вектора прерывания в канал ВЕКТ; сигнал запроса на регенерацию памяти. Таким образом, любая каналная операция инициирует микропрерывание и обрабатывается микропрограммно.

**Взаимодействие СП-8 с управляющей ЭВМ.** Микропрограммная обработка каналных операций — эффективное решение, существенно упрощающее построение интерфейса с ЭВМ.

Взаимодействие ЭВМ с СП-8 осуществляется через восемь адресуемых регистров. Эти регистры доступны для операций чтения (записи) со стороны как ЭВМ, так и СП-8 и используются процессором для реализации каналных, управляющих и тестовых функций. Регистры условно можно разделить на три группы: управления каналом прямого доступа к памяти (ПДП), управления операциями виртуальной передней панели и вспомогательных регистров. В первую группу входят четыре регистра: указатель адреса памяти ЭВМ в режиме ПДП, указатель адреса главной памяти СП-8 в режиме ПДП, счетчик передаваемых слов и регистр управления. Вторая группа регистров используется в «панельных» операциях: чтения и модификации любого внутреннего регистра или ячейки памяти внутри процессора. Эти операции осуществляются с помощью двух регистров: регистра функции и регистра буфера данных. Через виртуальную панель возможно также управление ходом выполнения программы внутри СП-8: старт программы, останов программы, продолжение с определенной точки, начальный сброс и др. Управляющие биты регистра функции определяют операцию виртуальной панели.

СП-8 взаимодействует с ЭВМ с помощью панельных операций, загружая необходимые параметры и включая процесс передачи данных или процесс обработки. Передаче данных предшествует загрузка регистров ПДП, а инициация этого процесса производится установкой бита запуска ПДП. Этот процесс завершается автоматически, когда массив передан (условием прерывания в данном случае является равенство нулю счетчика передаваемых слов). Подготовка процесса обработки начинается с загрузки его параметров в универсальные регистры адресного процессора; запуск производится с фиксированного для каждой процедуры адреса. Этот процесс прекращается прерыванием по команде останова, завершающей программу обработки.

**Программное обеспечение.** Программы, поддерживающие работу СП-8, можно разделить на три группы: инструментальная, тестовая и математическая библиотека. Первая группа включает в себя программы, используемые при написании, загрузке и отладке микропрограмм. Это ассемблер, сборщик и загрузчик.

В тестовое программное обеспечение входят отладчик, тест памяти и тест функционирования процессора.

Пользователю предоставляется стандартная математическая библиотека, включающая более 30 программ цифровой обработки сигналов (см. таблицу). В случае отсутствия необходимой функции программист может использовать ассемблер для реализации дополнительных функций и процедур. После трансляции исходного текста ассемблер выдает объектный файл и файл листинга. Для объединения объектных файлов программы пользователя и программы управления микропре-

## Список программ обработки данных процессора СП-8

Мнемоника	Краткое описание программы
VMOV	Пересылка вектора
VADD	Поэлементное сложение векторов
VMUL	Поэлементное умножение векторов
CVML	Комплексное умножение векторов
TMTOMD	Перезапись содержимого из табличной памяти в память данных
FFT	Быстрое преобразование Фурье с безусловным сдвигом вправо на каждой итерации
VFILL	Заполнение вектора числом
CVCMUL	Комплексное сопряженное умножение векторов
VSUB	Вычитание векторов
VLOG2	Вычисление логарифма по основанию 2 от вектора
VSCALE	Масштабирование вектора
FSFFT	Прямое быстрое преобразование Фурье с условным сдвигом на каждой итерации
ISFFT	Обратное быстрое преобразование Фурье с условным сдвигом на каждой итерации
TRANS	Транспонирование матрицы ( $N \times N$ ) комплексных чисел
VSHRR	Арифметический сдвиг вектора вправо с округлением результата
VCS	Вычисление функций SIN, COS, — SIN, — COS от вектора
VOR	Логическое ИЛИ над векторами
HANN	Умножение на окно Хэннинга
VAND	Логическое И над векторами
VE XOR	Логическое ИСКЛ. ИЛИ над векторами
VNEG	Умножение вектора на $(-1)$
VSHR	Арифметический сдвиг вектора вправо без округления результата
VSHL	Сдвиг вектора влево
VSQ	Поэлементное возведение в квадрат вектора
VINDX	Составление индексированного вектора
VMAX	Определение максимального элемента в векторе
VMIN	Определение минимального элемента в векторе
VCLIP	Клипирование («обрезание») элементов вектора под заданные верхнюю и нижнюю границы
DOTPR	Суммирование всех элементов вектора в один элемент
VRAND	Генерация случайных чисел в элементы вектора
VNOT	Логическое НЕ от вектора

рываниями в один загрузочный модуль используется программа-сборщик. Рабочий файл может быть загружен в ROM-симулятор, кроме того, можно создать выходные файлы в формате, пригодном для программирования ППЗУ.

Отладка программы, а также тестирование СП-8 осуществляются с помощью программы-отладчика. Эта программа может загружаться в управляющую ЭВМ по последовательной линии связи или, будучи запрограммированной в ППЗУ, запускаться в автономном режиме. Отладчик позволяет обращаться ко всем программно доступным регистрам СП-8, модифицировать их содержимое, выполнять такие операции, как запуск программ, останов, продолжение, сброс процессора и др. Имеется возможность тестировать память заданным образцом данных, а также запускать адресный тест и тест случайных чисел. Табличная память процессора проверяется на совпадение контрольных сумм каждого из кристаллов ППЗУ. Проверяется также работа СП-8 по каналу прямого доступа в направлении от ЭВМ к СП-8 и обратно. Окончание процесса ПДП, в этом случае тестируется программно или по возникновению прерывания в ЭВМ.

После отладки написанных программ производится программирование содержимого управляющей памяти СП-8 в ППЗУ. Окончательная

проверка работоспособности процессора осуществляется на комплексном тесте. С этой целью написана программа, которая в режиме диалога с оператором выполняет двумерное преобразование Фурье над заданным массивом данных в памяти СП-8 с выводом результатов вычислений на экран цветного графического дисплея. Интерпретируя полученные данные, можно судить о работоспособности процессора в целом. Данная программа использует около 15 библиотечных функций и проверяет динамику работы основных функциональных узлов процессора.

Ниже приведены некоторые технические параметры сигнального процессора СП-8: тактовая частота процессора 5 МГц; представление чисел — фиксированная запятая, 16 разрядов; максимальное быстродействие 10 млн. сложений (умножений) в секунду; время выполнения быстрого преобразования Фурье на комплексном векторе длиной 1024 точки 13,5 мс; объем оперативной памяти данных 128 Кслов; объем табличной памяти 4 Кслов; объем постоянной памяти микроинструкций 2048 слов; потребляемая мощность 50 Вт; элементная база — ТТЛШ с малым потреблением энергии; аппаратные средства отладки программ — ROM-симулятор на линии с ЭВМ «Электроника 100/25»; программатор ППЗУ; масса 0,8 кг.

#### ЛИТЕРАТУРА

1. Бродский И. И., Козлачков В. А., Коршевер И. И. и др. Высокопроизводительный периферийный векторный процессор А-12. — Автоматрия, 1984, № 4.
2. Лайнбек Дж. Р. Перспективы рынка цифровых процессоров сигналов. — Электроника, 1985, № 4.
3. Березовский А. В., Козлачков В. А., Коршевер И. И., Павлов С. А. Сигнальный процессор СП-8. — В кн.: Тез. докл. XIX Всесоюз. школы «Автоматизация научных исследований». Новосибирск: ИАиЭ СО АН СССР, 1985.
4. Березенко А. И., Корягин Л. Н., Назарьян А. Р. Микропроцессорные комплекты повышенного быстродействия. — М.: Радио и связь, 1981.
5. Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией. Кн. 1 и 2. — М.: Мир, 1984.

*Поступила в редакцию 14 февраля 1986 г.*

УДК 681.3

**Г. С. ПИСКУНОВ, С. В. ТАРАРЫШКИН**

*(Новосибирск)*

### **ДВАДЦАТИЧЕТЫРЕХРАЗЯДНАЯ ЭВМ В СТАНДАРТЕ КАМАК**

**Введение.** Начиная с 1971 г. в Институте ядерной физики СО АН СССР для управления большими экспериментальными физическими установками широко используются 24-разрядные ЭВМ серии «Одра-1300» (производство ПНР), являющиеся функциональными аналогами английских машин серии ICL-1900. Эти машины относятся к классу универсальных ЭВМ, оснащены развитым программным обеспечением, а по своим функциональным возможностям (большое адресное пространство, средства поддержки мультипрограммирования, повышенная точность) превосходят ряд широко распространенных мини-ЭВМ. В использовании ЭВМ «Одра-1300» в ИЯФ СО АН СССР накоплен большой опыт, создано обширное системное и прикладное программное обеспечение, имеется значительный контингент специалистов, знакомых с особенностями работы на них.

Развитие систем на базе ЭВМ серии «Одра-1300» идет по пути децентрализации за счет введения периферийных автономных контроллеров крейтов КАМАК [1], позволяющих решить известную проблему со-