

По графикам рисунка получим, что условие для $\varphi_1(\alpha h)$ выполняется вплоть до $\alpha h = 0,35$ а для $\varphi_2(\alpha h)$ — вплоть до $\alpha h = 0,47$. Первое условие оказалось более жестким, поэтому h должно удовлетворять неравенству $h \leq 0,35/\alpha = 350$ м.

В заключение заметим, что экспериментальное определение корреляционной функции $K_\xi(\tau)$ вблизи $\tau = 0$ и ее аппроксимацию выражением (7) в силу имеющейся, как правило, некоторой нестационарности $\xi(x)$ целесообразно производить, находя структурную функцию $SF(\tau) = \overline{[\xi(x) - \xi(x + \tau)]^2}$, которая связана с $K_\xi(\tau)$ соотношением $SF(\tau) = 2D_\xi - 2K_\xi(\tau)$. Как видно из выражения для $SF(\tau)$, медленная девиация математического ожидания процесса $\xi(x)$ не сказывается на форме начального участка структурной функции. Поэтому по начальному участку $SF(\tau)$ Наука, 1976.

3. Завьялов Ю. С. Сплайн-функции — универсальный математический аппарат для представления и обработки геометрической информации в машиностроении. — В кн.: Методы сплайн-функций (вычислительные системы). Новосибирск: ИМ СО АН СССР, 1976, вып. 68.
4. Немировский А. С., Волконский В. А. Погрешность аппроксимации при дискретных измерениях непрерывных величин. — Измерит. техника, 1963, № 4.
5. Свешников А. А. Прикладные методы теории случайных функций. — М.: Наука, 1968.
6. Сборник задач по теории вероятностей, математической статистике и теории случайных функций/Под ред. А. А. Свешникова. — М.: Наука, 1965, § 32.

Поступило в редакцию 22 октября 1980 г.;
окончательный вариант — 26 августа 1982 г.

УДК 621.385.85

С. Я. АФАНАСЬЕВ, С. М. БОРОДИН, В. Я. СТЕНИН
(Москва)

ПРОГРАММИРУЕМОЕ УСТРОЙСТВО УПРАВЛЕНИЯ МАТРИЧНЫМИ ФОРМИРОВАТЕЛЯМИ ВИДЕОСИГНАЛОВ НА ПЗС

Устройство управления режимом матричных формирователей видеосигналов на ПЗС обеспечивает перемещение массивов зарядов в ячейках матриц и их вывод через считывающее устройство [1]. Разнообразие типов матриц и их форматов делает в ряде случаев целесообразными разработку и применение достаточно универсального устройства управления, реализация которого вполне возможна при существующих в настоящее время ограничениях на количество элементов в матрицах ПЗС (не более 10^6) и максимальных частотах считывания выходного сигнала (до 11 МГц). Алгоритм управления матрицей может быть осуществлен аппаратно на основе сочетания модулей с программируемыми характеристиками и контролирующего устройства, задающего программно режим взаимодействия модулей.

Универсальность программируемого устройства управления (ПУУ) определяется модульным принципом его построения, при котором логические условия взаимодействия модулей устанавливаются через общую магистраль связи под действием команд, генерируемых микро-ЭВМ или контроллером с ограниченными возможностями на основе ПЗУ, счетчика команд и устройства, реализующего условные переходы.

Основой ПУУ является набор модулей — программируемых каналов управления (ПКУ), каждому из которых соответствует управляемый им регистр или секция регистров матрицы ПЗС. Назначение ПКУ — формирование по сигналу запуска заданного количества импульсов, управляющих перемещением зарядов в соответствующем регистре матрицы.

Структурная схема ПУУ (рис. 1), построенного на основе четырех ПКУ, иллюстрирует вариант устройства управления матрицами ПЗС, содержащими входной регистр (Вх.Р), выходной регистр (Вых.Р), секции накопления (СН), памяти (СП) и межрегистровые затворы (З1, З2, З3). На этом же рисунке раскрыта структурная схема одного модуля ПКУ — ПКУ1. В модуль ПКУ входит набор блоков, включающий формирователь фазовых сигналов (ФФ), управляемый пропускатель (УП), программируемый дискриминатор (ПД), счетчик импульсов (СИ) и преобра-

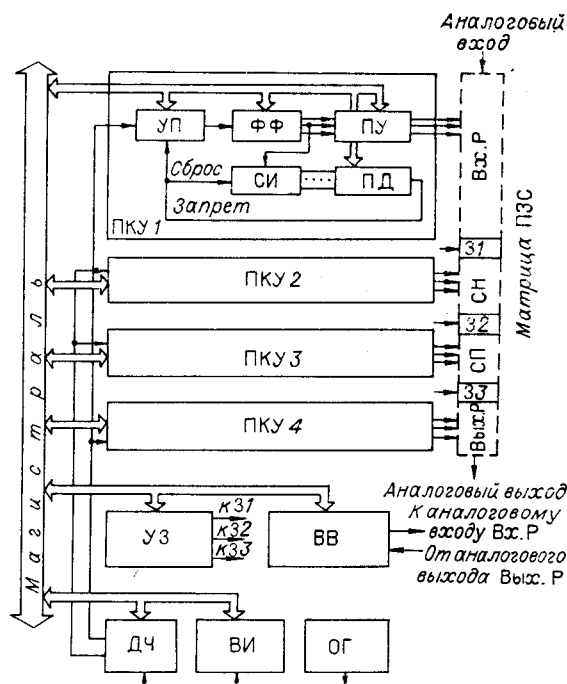


Рис. 1. Структурная схема программируемого устройства управления с четырьмя модулями ПКУ.

ных частот для модулей ПКУ; модуль задания временных интервалов (ВИ); модуль управления межрегистровыми затворами (УЗ), который формирует электрические сигналы на затворах по командам с матрицы, и модуль управления электрическим вводом-выводом информации из матрицы (ВВ).

Взаимодействие между рассмотренными модулями системы и контролирующе-

зователь уровня (ПУ). С помощью логического программного управления этими блоками осуществляется их перестройка под режимы управления матрицей конкретного типа и формата.

УП запускает или блокирует соответствующий ПКУ. ФФ преобразовывает импульсы опорной частоты в последовательность многофазных сигналов с программным заданием их начального состояния. ПД является программируемым цифровым компаратором состояния СИ. Преобразователь уровня выходных сигналов ФФ согласует ФФ с регистрами матрицы.

Число модулей ПКУ, необходимых для построения ПУУ, определяется числом взаимодействующих регистров и секций регистров конкретной матрицы. В сочетании с опорным генератором (ОГ) они образуют минимально необходимую аппаратную часть ПУУ. Кроме того, аппаратная часть ПУУ может содержать дополнительно программируемый делитель частоты (ДЧ), формирующий сигналы опор-

| Номер | Команда | Номер | Команда |
|-------|---|-------|---|
| 1 | Записать в ПД — СН число строк | 20 | Записать в ВИ выдержку 12 мкс |
| 2 | Записать в ПД — Вых. Р число столбцов | 21 | Установить УЗ (32, 33=1) |
| 3 | Записать в ПД — СП число строк | 22 | Запустить ВИ (выдержка 12 мкс) |
| 4 | Установить ФФ — СН(100), СП(100), Вых. Р(010) | 23 | Запустить УП — СП |
| 5 | Блокировать УП — СН, СП, Вых. Р | 24 | Считать показания ВИ: |
| 6 | Установить УЗ (32, 33=1) | | «0»→ 24; «1»→ 25 |
| 7 | Установить режим ДЧ | 25 | Установить УЗ (32, 33=0) |
| 8 | Записать в ВИ выдержку 30 мкс | 26 | Записать в ВИ выдержку 52 мкс |
| 9 | Запустить УП — СН, СП, Вых. Р | | |
| 10 | Считать показания ПД — СП: | 27 | Запустить ВИ (выдержка 52 мкс) |
| | «0»→ 10; «1»→ 11 | | |
| 11 | Установить УП — СП в режим пропускания трех импульсов | 28 | Считать показания ВИ: |
| 12 | Блокировать УП — СН, СП | | «0»→ 28; «1»→ 29 |
| 13 | Установить ФФ — СН(100), СП(010) | 29 | Установить ФФ — Вых. Р (010) |
| 14 | Запустить ВИ (выдержка 30 мкс) | 30 | Разблокировать УП — Вых. Р |
| 15 | Считать показания ВИ: | 31 | Установить нулевое состояние счетчика УП — СП |
| | «0»→ 15; «1»→ 16 | 32 | Считать показания ПД — СП: |
| 16 | Установить УЗ (32, 33=0) | | «0»→ 32; «1»→ 33 |
| 17 | Записать в ВИ выдержку 175 мкс | 33 | Установить УЗ (32, 33=1) |
| 18 | Запустить ВИ (выдержка 175 мкс) | 34 | Записать в ВИ выдержку 560 мкс |
| | | 35 | Запустить ВИ |
| 19 | Считать показания ВИ: | 36 | Считать показания ВИ: |
| | «0»→ 19; «1»→ 20 | | «0»→ 36; «1»→ 37 |
| | | 37 | Идти к «4» |

щим устройством выполняется через общую магистраль связи, ресурсы которой распределены следующим образом [2]: две линии — общие шины; четыре — питание (две по +5, +12 и -12В); 16 линий адресов и 16 данных (A0 ÷ A15; D0 ÷ D15) и шесть управляющих линий (строб данных — DS, подтверждение — DK, направление передачи — R/W, формат сообщений — F, остановка обмена — AB, запрещение выбора — IS).

Управление матрицами различных типов и форматов осуществляется последовательной установкой начальных состояний, запуском, выдержкой или блокировкой отдельных блоков модулей устройства, производимых через общую магистраль связи в заданной программным образом последовательности. Информация о формате матрицы и конкретном режиме управления ею определяется программой контроля работы модулей ПУУ, реализуемой контроллером магистрали.

Рассмотрим схемы отдельных блоков модуля ПКУ.

УП (рис. 2) содержит логический пропускатель сигналов опорной частоты (M5.2, M7) и подсистемы, обеспечивающие программное (интерфейс M1, M3, M6, M10, M11.1) или аппаратное (M2, M4, M5.1, M8.1, M9) управление УП. Управляемый пропускатель работает в двух основных режимах: пропускание импульсов опорной частоты при программируемом запуске до блокировки сигналом ПД и пропускание трех импульсов опорной частоты для трехфазной организации регистров матриц после аппаратного запуска от другого ПКУ. Задание режима осуществляется путем записи по адресу УП на шинах D0 ÷ D15 кода 1011₂ или 1010₂ соответственно для первого и второго режимов. Предусмотрен также вспомогательный режим программной установки нулевого состояния счетчика M9 и программной блокировки УП (соответствующий код 0100₂).

ФФ (рис. 3) представляет собой последовательный реверсивный регистр (M2.4, M3, M4, M8, M9.1), управляющий блоком фиксации фаз (M5, M6, M11). ФФ обеспечивает (через соответствующий интерфейс M1.1—M1.4; M2.1—M2.2; M7; M10.1; M12.1) программное задание как начальных состояний фаз импульсов, так и режима переноса зарядов в матрице (нормального при F = 1 (заряд переносится от Ф1 к Ф3) и инверсного при F = 0).

СИ построен по обычной схеме 16-разрядного двоичного счетчика и служит для счета сформированных импульсов фазовых сигналов.

ПД содержит цифровой компаратор и интерфейс. Сигнал срабатывания ПД сигнализирует о том, что заданное число импульсов фазовых сигналов сформировано. 16-разрядный ПД спроектирован как совокупность двух одинаковых независимо адресуемых 8-разрядных дискриминаторов.

В качестве ПУ используется специализированная микросхема с возможностью регулировки уровней управляющих сигналов до 20 В [3]. Модуль ВИ с выходом на магистраль построен на основе СИ и ПД и осуществляет программируемое формирование временных интервалов в диапазоне от единиц микросекунд до 5 · 10⁵ периодов опорной частоты.

Взаимодействие аппаратной части ПУУ с контроллером магистрали осуществляется в соответствии с таблицей управляющих команд. Список команд для случая ТВ-режима управления матрицей с двумя секциями (СН, СИ) и выходным

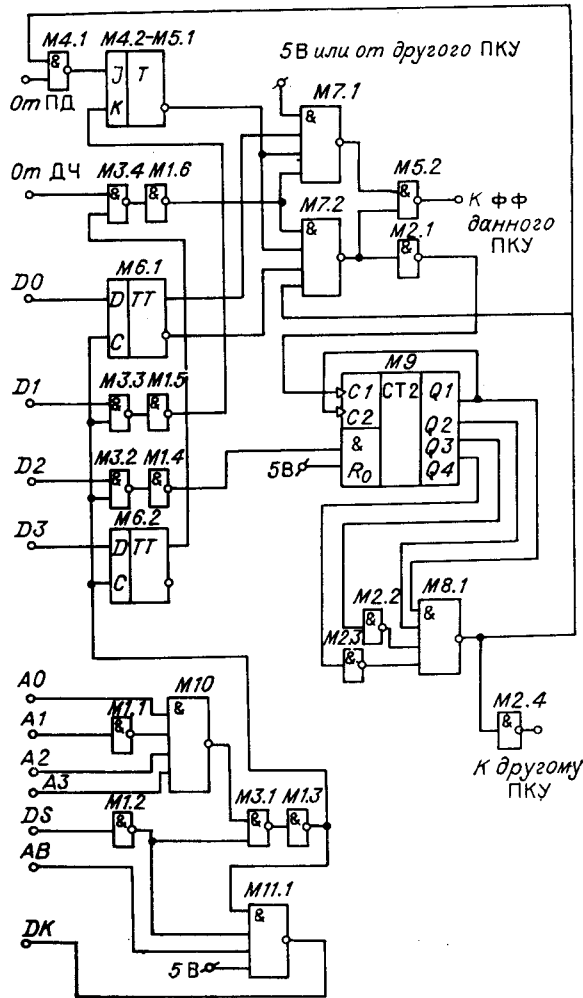


Рис. 2. Схема управляемого пропускателя:

M1, M2 — К155ЛН1; M3 — M5 — К155ЛА3; M6 — К155ТМ7; M7, M8 — К155ЛА1; M9 — К155ИЕ5; M10 — К155ЛА2; M11 — К155ЛА7.

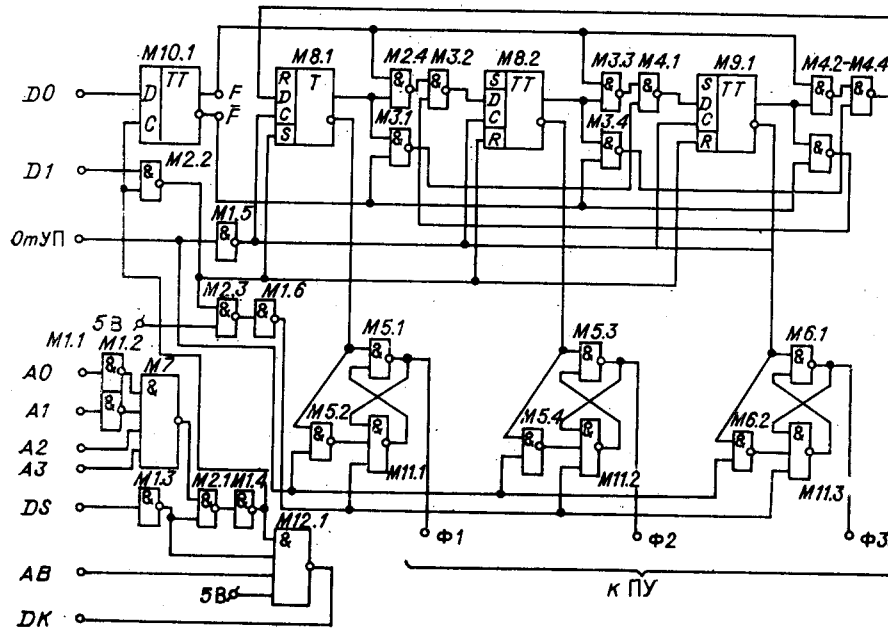


Рис. 3. Схема формирователя фазовых сигналов:
 M1 — K155ЛН1; M2 — M6 — K155ЛA3; M7 — K155ЛA2; M8, M9 — K155TM2; M10 — K155TM7;
 M11 — K155ЛA4; M12 — K155ЛA7.

регистром (Вых. P) приведен в таблице. Логические уровни выходов ФФ и УЗ в таблице соответствуют: «1» — разрешению переноса («потенциальная яма» под электродом), «0» — запрету переноса (отсутствие «потенциальной ямы»). Временные константы в таблице даны для матрицы, содержащей 365×576 элементов разложения (в СН и СП). Для других матриц ПЗС должны быть изменены форматные характеристики (число строк и столбцов) и связанные с ними временные константы. Объемы памяти, необходимые для реализации программ наиболее типовых режимов управления матрицами ПЗС, составляют $\sim 2-4$ Кбайт.

Реализованный вариант ПУУ позволяет управлять матрицами, содержащими до 10^6 элементов, с частотами следования выходного сигнала до 7 МГц при использовании ИС серии K155 и до 11 МГц при использовании ИС серии K531.

ЛИТЕРАТУРА

1. Sequin C. H., Zimani E. Y., Tompsett M. F., Fuls E. N. All-solid state camera for the 525 line television format.—IEEE J. of Solid-State Circuits, 1976, vol. SC-11, N 1.
2. Бородин С. М., Осипов А. К. Аппаратно-программный отладочный комплекс ограниченной мощности.— В кн.: Теория и проектирование электронной аппаратуры физического эксперимента/Под ред. Т. М. Агаханяна. Вып. 14. М.: Энергоиздат, 1982, с. 37—42.
3. Гольдшер А. И. и др. Преобразователь уровней для управления переносом зарядов в регистрах на ПЗС.— Электрон. пром-сть, 1982, № 7.

Поступило в редакцию 7 сентября 1981 г.;
 окончательный вариант — 28 июля 1982 г.