

03.20 З ПТ; Б Д4(7Ш); И 3.2; И 3.21  
 03.21 П Д4; З Д4=8Ш, ПТ  
 03.30 З НА=0, КА=1023, Ш=200Н, Ч=1М; С 1.1  
 03.31 П <ЕСЛИ КО=1024, 511, УСТАНОВИТЕ НУЛЕВОЙ РАЗ-  
 РЯД КЛАВИШНОГО),=  
 03.32 П <РЕГИСТРА ЭВМ В СОСТОЯНИЕ '1' И ПЕЧ. И 3.65),=  
 03.50 З Т=ПО; С 5.1; Е КО(1024); Е КО(1023); П <НОРМА),  
 КО; П КО  
 03.60 З Т=П1; С 5.1; Е КО(0); И 3.9; П КО; О  
 03.65 П <ЕСЛИ ОТПЕЧАТАЕТСЯ С 1 ЯЧ=1, 3, 0, 2, ИСПЫТА-  
 НИЯ),=  
 03.66 П <ТЕСТЕРА ЗАВЕРШЕНЫ),  
 03.67 П <МОЖНО ПРИСТУПИТЬ К РАБОТЕ!),=  
 03.70 З Т=Ш1, КА=3; С 5.1  
 03.80 З Т=Ш0; С 5.1  
 03.81 У В  
 03.90 З КА=1023, ТС=5000; С 5.1; Е КО(511); Е КО(510); П <Ф),  
 КО; П КО; О  
 05.10 З Р=Ч, ПТ  
 \*

#### ЛИТЕРАТУРА

1. В. М. Белов, В. А. Буровцев, К. Ш. Ибрагимов, И. Ф. Клисторин, А. Е. Подзин. Управляемая от ЭВМ система контроля БИС ЗУ.— Автометрия, 1974, № 3.
2. А. С. Клещев, В. Л. Темов. Язык программирования ИНФ и его реализация. Л., «Наука», 1973.
3. В. М. Белов, В. А. Буровцев, К. Ш. Ибрагимов, А. Е. Подзин. Устройство формирования тестов для функциональных испытаний ЗУ.— В кн.: Системы первичной аналого-цифровой обработки данных и их элементы. Новосибирск, Изд. ИАЭ СО АН СССР, 1973.
4. Introduction to Programming PDP-8 Family Computers. Small Computer Handbook Series, Second Printing. USA, DEC, 1969.

Поступила в редакцию 18 марта 1974 г.

УДК 681.142.621

**В. А. БЕЛОМЕСТНЫХ,**  
**А. Н. КАСПЕРОВИЧ, В. И. СОЛОНЕНКО**  
 (Новосибирск)

### КОМПАРАТОРЫ НА ОСНОВЕ ТРИГГЕР-ЗАЩЕЛКИ

Компараторы, предназначенные для сравнения напряжений, широко распространены в измерительной технике. Вопросам расчета и разработки схем компараторов посвящено большое количество работ. Однако ряд практических задач, в частности задачи разработки быстродействующих аналого-цифровых преобразователей (АЦП), требует проведения исследований по повышению быстродействия и упрощению таких компараторов.

Недавно появились сообщения о новом перспективном типе компараторов на основе триггер-защелки [1, 2]. В настоящей статье рассматриваются особенности известных схем подобных компараторов и описывается отличающийся простотой компаратор с использованием доступной отечественной логической микросхемы.

Обычно компараторы выполняются на основе многокаскадных дифференциальных усилителей (ДУ). При использовании в АЦП подобные ДУ часто снабжаются триггерами, запоминающими результат сравнения. Запуск триггера осуществляется через логическую микросхему сформированным сигналом ДУ. Недостатком триггера, используемого в подобном режиме, является нестабильность порога срабатывания, гистерезис и большое значение порога чувствительности, что приводит к необходимости использования предварительного ДУ с большим коэффициентом усиления (порядка нескольких сотен).

В компараторах на основе триггер-защелки (ТЗ) удается снизить требования к коэффициенту усиления дифференциального усилителя, что позволяет упростить компаратор и повысить его быстродействие. Идея построения компаратора на основе триггер-защелки заключается в следующем. На входы триггера поступает сигнал разбаланса. В исходном состоянии обратные связи в триггере не действуют (например, за счет выключения источника питания). После включения обратных связей развивается лавинообразный процесс, и триггер устанавливается в такое устойчивое состояние, которое определяется сигналом разбаланса. При этом триггер как бы «защелкивается» и не чувствует дальнейших изменений входного сигнала. Снижение порога чувствительности компаратора обеспечивается положительными обратными связями триггера. Гистерезис триггера уменьшается за счет периодического отключения его обратных связей. Стабильность порога срабатывания триггера при изменении внешних условий достигается из-за использования твердотельных интегральных схем с высокой степенью идентичности транзисторов. Малосущественным недостатком компаратора на триггер-защелке является то, что он выдает результаты сравнения не непрерывно, а в квантованные моменты времени.

На рис. 1 приведена функциональная схема компаратора, описанного в [1]. Триггер-защелка образована из дифференциального усилителя путем введения перекрестных связей. Отключение обратных связей осуществляется стробирующим импульсом за счет переключения генератора тока, задающего режимные токи из триггера в ДУ. Схема работает следующим образом: если ток источника тока включить вместо ДУ в триггер-защелку, то выходной сигнал ДУ, запомненный на паразитных емкостях, будет служить входным сигналом триггера, который в соответствии с фазой этого сигнала перейдет в одно из своих устойчивых состояний. Чтобы состояние триггер-защелки не изменялось в режиме хранения при изменении входного сигнала, ток в триггере должен быть больше тока ДУ, либо ДУ должен быть обесточен. Если же ток источника тока переключен в ДУ, то на его выходе будет выделен усиленный сигнал разбаланса между входными сигналами Вх.1 и Вх.2. В этой триггер-защелке транзисторы триггера могут рассматриваться как источники тока, так же как выход переключаемого стробом генератора тока. В компараторе [1] предусмотрена возможность работы в обычном режиме (без триггер-защелки), для чего он снабжен дополнительными каскадами дифференциального усиления. Этот компаратор выполнен в виде монолитной микросхемы АМ685 имеет следующие характеристики: диапазон входного сигнала  $\pm 3,3$  В, время срабатывания 7,5 нс (100 мВ входной импульс, 5 мВ перевозбуждение), порог чувствительности 2 мВ, выходные уровни — 0,7 ÷ —1,5 В.

В качестве компаратора на основе триггер-защелки, конечно, лучше применять специально разработанную микросхему, в которой учтены

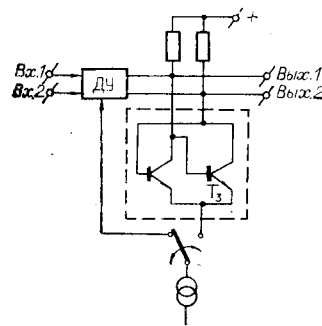


Рис. 1.

особенности его работы. Однако для построения подобных компараторов могут быть использованы и логические микросхемы, особенно выполненные по твердотельной технологии. На рис. 2 приведена функциональная схема компаратора, описанного в [2]. В отличие от предыдущего его триггер-защелка собрана на двух логических схемах ИЛИ—НЕ 137 серии. Особенность триггера заключается в том, что его обратные связи замыкаются через резисторы  $R_1$  и  $R_2$ , которые одновременно являются нагрузками ДУ. Значение сопротивлений резистора должно быть небольшим, так как от ДУ<sub>1</sub> не требуется большого усиления. Работает компаратор следующим образом. Усиленный сигнал разбаланса с выхода ДУ поступает на входы логических схем, на другие их входы поступает стробирующий сигнал (заметим, что здесь в отличие от предыдущего выходы триггер-защелки и стробирующий сигнал представляются источниками напряжений). При отсутствии импульса строба на обоих логических входах триггера напряжения равны и соответствуют 1, а к информационным входам триггера приложен выходной сигнал ДУ, определяемый входным разбалансом. При появлении импульса строба под воздействием сигнала с ДУ за счет включения обратных связей триггер перейдет в состояние, определяемое входным разбалансом. Для уменьшения гистерезиса компаратора при изменении длительности строба и для обеспечения возможности непрерывного считывания результата сравнения в [2] предложен вариант схемы компаратора, отличающийся от схемы рис. 2 наличием еще одного обычного RS-триггера, подключенного к выходам триггер-защелки компаратора. Компаратор по схеме рис. 2 имеет следующие характеристики [2]. Диапазон входных напряжений  $\pm 1$  В, максимальная частота опроса до 15 МГц, порог чувствительности 1,5 мВ, выходные уровни +4,3 В и +3,5 В. У второго варианта быстродействие до 20 МГц, чувствительность 0,5 мВ, диапазон входных напряжений и выходные уровни — прежние.

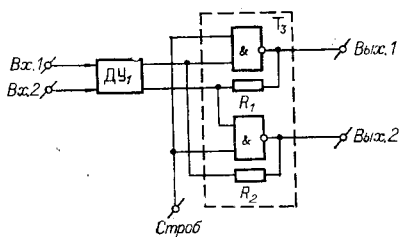


Рис. 2.

Рассмотрим теперь факторы, определяющие быстродействие компараторов на триггер-защелке. Вообще говоря, быстродействие компараторов (по аналогии с АЦП) обуславливается временем получения результата сравнения и апертурным временем.

Время, необходимое для получения результата сравнения, определяется временем распространения сигнала в линейной части компаратора и задержкой в его логической части. Временные диаграммы, поясняющие работу рассматриваемых компараторов, представлены на рис. 3, а. Время  $t_2$ , в течение которого триггер-защелка помнит результат сравнения, определяется временем, требуемым для использования этого результата (напримр, его перезаписи). Длительность импульса строба  $t_1$  должна быть достаточной для окончания переходных процессов установления сигналов на входе триггер-защелки с заданной погрешностью. При его увеличении уменьшается гистерезис компаратора, поэтому длительность импульса строба по возможности целесообразно увеличивать.

При экспериментальном исследовании компараторов необходимо определять минимальное время  $t_3$  (см. рис. 3, б), которое должно пройти после заданного изменения входного сигнала, и минимальную длительность строба, при которых компаратор еще уверенно принимает решение. Как правило, быстродействие компараторов определяется путем подачи на один из его входов импульса, равного 100 мВ. При этом измеряется время между фронтами импульса и задним фронтом строба

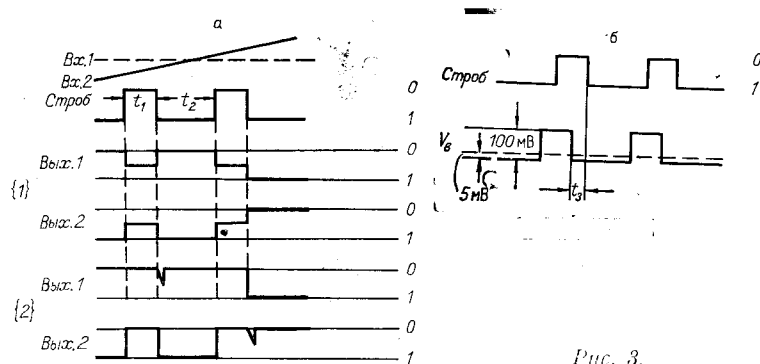


Рис. 3.

и определяется минимальный интервал, при котором компаратор еще работает нормально.

Сравним компараторы рис. 1 и 2 по характеру переходных процессов, имеющих место при включении обратных связей (предполагая, что в обоих компараторах использованы одинаковые ДУ).

В компараторе по рис. 1 напряжения на выходах ДУ во время импульса строба при разомкнутых обратных связях определяются входным разбалансом и находятся около уровня, лежащего между логическими уровнями триггер-зашелки (обозначим его условно "1/2"). (Эюра рис. 3, а {1}). После окончания импульса строба эти напряжения приобретают значения логических уровней, изменяясь на одном плече с "1/2" до "1", а на втором — от "1/2" до "0".

В схеме компаратора (см. рис. 2) в течение действия импульса строба выходные напряжения триггера соответствуют уровням "1". По окончании импульса строба (эюра рис. 3, а {2}) выходные напряжения вначале изменяются от уровня "1" к уровню "1/2" (обратные связи триггера еще не работают), затем включаются обратные связи и выходные напряжения изменяются уже противофазно, пока не примут значения: одно — "1", а другое — "0". Вышесказанное иллюстрируется эюрами рис. 3, а, причем {1} относится к рис. 1, а {2} — к рис. 2. Момент принятия решения, т. е. тот момент, когда начинают действовать обратные связи, никак извне не синхронизируются (он асинхронен); принятие решения осуществляется во время переходного процесса установления логических уровней "1/2". Поэтому состояние, в которое приходит триггер-зашелка, зависит не только от входного разбаланса, но и от характера переходного процесса, что приводит к увеличению значений гистерезиса и порога чувствительности компаратора. Существенно при этом то, что в отличие от компаратора рис. 1 окончания этих переходных процессов добиться нельзя: как только инверторы триггера попадут в линейную область, неизбежно начнется лавинообразный процесс установления логических уровней "0" и "1". Кроме того, в компараторе рис. 2 время установления выходных логических сигналов больше, чем в компараторе рис. 1 (изменение уровня от "0" до "1" требует больше времени, чем от "1/2" до "1"). Это особенно важно при использовании в компараторе микросхем с большим значением разности логических уровней, что приводит к дополнительным задержкам.

Апертурное время компаратора (неопределенность момента времени, к которому привязан полученный результат сравнения) определяется переменной (изменяющейся) частью задержки сигналов в компараторе (в аналоговой части — в ДУ и цифровой части — в триггер-зашелке).

Одной из основных частей переменной задержки в цифровой части компараторов является сдвиг момента принятия решения в триггер-за-

щелке — момента начала лавинообразного процесса. Сдвиг момента принятия решения зависит от ряда причин, в частности от изменения крутизны импульса строба, значения разбаланса (лавинообразный процесс начнется тем раньше, чем больше разбаланс). Медленное изменение входного разбаланса будет вызывать смещение момента начала лавинообразного процесса, но динамической ошибки сравнения возникать при этом не будет. Если крутизна входного сигнала будет больше крутизны лавинообразного процесса в триггер-защелке, то может иметь место не только сдвиг момента принятия решения, но и изменение принятого решения. Однако возможные скорости входного сигнала (при полосе в 5 МГц) на порядок меньше скорости лавинообразного процесса, поэтому практически изменения решения компаратора не может иметь место.

В компараторе по схеме рис. 1 отключение тока от ДУ будет влиять на апертурное время компаратора. По-видимому, можно считать, что при выключении тока ДУ будет вести себя как некое устройство выборки и хранения сигнала. (Емкости коллектора ДУ будут выполнять роль накапливающего конденсатора.) Если при этом окончание запоминания сигнала будет происходить раньше, чем начало лавинообразного процесса в триггер-защелке, то апертурное время будет определяться скоростью отключения ДУ. Если же, что более вероятно, начало лавинообразного процесса будет близко к моменту запоминания сигнала в ДУ или лавинообразный процесс будет начинаться раньше окончания запоминания, то апертурное время будет определяться триггер-защелкой, а ДУ будет только способствовать уменьшению апертурного времени (поскольку ДУ в процессе запоминания будет уменьшать скорость входного сигнала).

Следует отметить, что динамические свойства компаратора во многом определяются дифференциальным входным усилителем. Малое значение порога чувствительности триггер-защелки позволяет предъявлять к ДУ низкие требования по коэффициенту усиления  $K=3\div 7$ , что в свою очередь дает возможность использовать небольшие сопротивления нагрузки, а следовательно, и иметь малое значение постоянной цепи компаратора.

Немаловажной функцией ДУ, помимо некоторого усиления сигнала, является подавление синфазной составляющей и ограничение динамического диапазона сигнала, поскольку большинство логических микросхем может работать только в узком диапазоне входных сигналов. При разработке ДУ для компаратора необходимо обеспечивать согласование по уровням ДУ с триггерами, что может доставлять известные трудности.

Резюмируя результаты сопоставления принципов построения компараторов по схемам рис. 1 и рис. 2, можно сказать, что схемы рис. 1 в принципе должны быть более простыми и более быстродействующими. В связи с этим было проведено изучение возможностей использования доступных логических микросхем в качестве компараторов по схеме рис. 1. Оказалось, что для этой цели очень хорошо подходит микросхема 1ТР381. Эта микросхема, по сути дела, представляет собой готовый компаратор, который может, к сожалению, работать только в узком диапазоне сравниваемых напряжений ( $-0,9\div 1,3$ )В.

Заметим, что если рассматривать возможность использования существующих цифровых микросхем для построения компараторов, то для компаратора рис. 2 пригодны как ДТЛ, так и ЭСЛ микросхемы, тогда как для компаратора по схеме рис. 1 пригодны только ЭСЛ микросхемы.

Принципиальная схема разработанного компаратора представлена на рис. 4. Она содержит выполненный на дискретных компонентах ДУ<sub>1</sub> (Т<sub>1</sub> и Т<sub>2</sub>) с источником тока на Т<sub>3</sub> в эмиттерных цепях и с источником

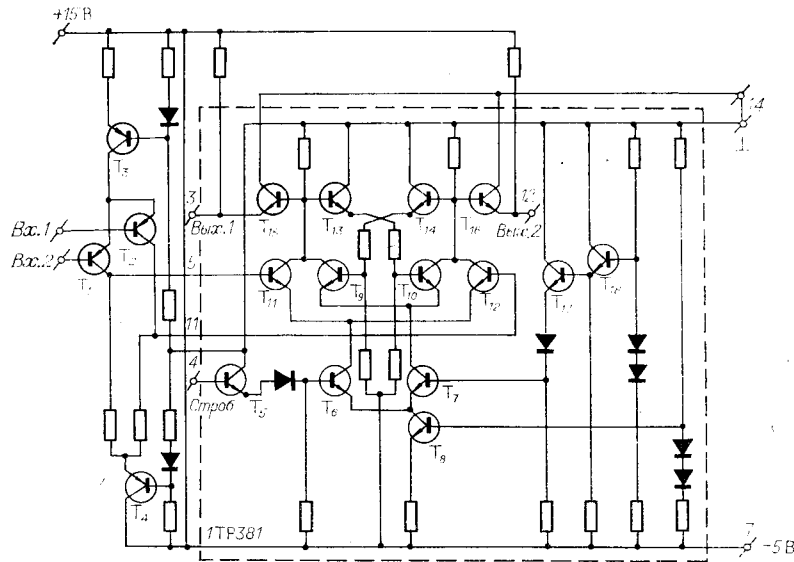


Рис. 4.

напряжения на  $T_4$ ; ДУ<sub>2</sub> на  $T_{11}$  и  $T_{12}$ ; триггер-защелку на  $T_9$  и  $T_{10}$ , обратные связи которой замыкаются через транзисторы  $T_{13}$  и  $T_{14}$ ; источник тока для ДУ<sub>2</sub> и  $T_3$  с переключателем тока на  $T_6$  и  $T_7$ ; каскад стробирования на  $T_5$  и выходные каскады на  $T_{15}$  и  $T_{16}$ . Все перечисленные узлы, кроме ДУ<sub>1</sub>, находятся в микросхеме 1TR381, там же находятся еще некоторые вспомогательные узлы. Применение дифференциального усилителя на *pnp*-транзисторах позволило просто осуществить его согласование по уровням напряжений с микросхемой 1TR381. При этом компаратор работает в диапазоне входных напряжений  $0 \div +5\text{В}$  и имеет стандартные выходные уровни ( $-0,7\text{В}$  и  $-1,5\text{В}$ ) для ЭСЛ микросхем. Временным недостатком компаратора, выполненного по этой схеме, из-за того что в его ДУ пока приходится использовать дискретные транзисторы, являются повышенные дрейф и саморазогрев.

Принципиальная схема другого, выполненного на микросхемах компаратора, представлена рис. 5. В качестве входного каскада для увеличения входного сопротивления компаратора и стабилизации его входного тока использованы эмиттерные повторители. Значение эмиттерного тока выбрано достаточно большим, чтобы не возникали дополнительные задержки при отслеживании отрицательного спада входно-

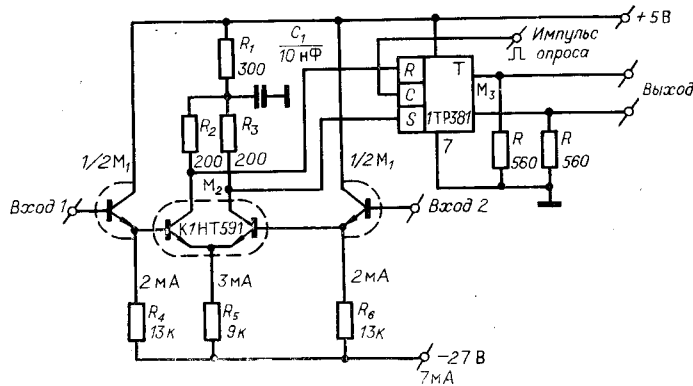


Рис. 5.

го сигнала  $V_{вх}$  частотой не менее 5 МГц. Второй каскад (предусилитель компаратора) выполнен в виде дифференциального усилителя на паре транзисторов на одной подложке (микросхемы типа 1НТ591). Применение твердотельной микросхемы позволяет обходиться без подстройки нуля (для АЦП с квантом 10 мВ) в диапазоне температур  $20 \pm \pm 15^\circ \text{C}$ , работать при больших значениях токов (что способствует повышению быстродействия), поскольку эффект саморазогрева при их применении почти отсутствует. Дифференциальный усилитель имеет коэффициент передачи по напряжению  $K=8$ . Пассивный источник тока в цепи эмиттера способствует получению коэффициента режекции порядка 60 дБ. RC-фильтр коллектора служит для согласования выхода линейной части компаратора с логическими уровнями микросхем, на которых выполнена цифровая часть, и одновременно развязкой компараторов между собой по цепи питания.

Для согласования по уровням дифференциального усилителя, выполненного на микросхеме с *ppn*-транзисторами, с микросхемой 1ТР381 триггер-защелки питание ее осуществляется от источника +5В, что приводит к смещению логических уровней компараторов и необходимости аналогичного питания всей цифровой части АЦП.

Разработанный компаратор обладает следующими характеристиками: диапазон входных напряжений  $\pm 2,5\text{В}$ , порог чувствительности 2 мВ, минимальная длительность строба 10 нс, апертурное время менее 1 нс.

Компараторы, выполненные на основе описываемой схемы, были использованы в конвейерном шестirazрядном АЦП с частотой выдачи кодов 20 МГц [3].

#### ЛИТЕРАТУРА

1. Дж а й л з, С и л з. Точный быстродействующий компаратор.— Электроника, 1972, № 21.
2. В. И. Александрин, Ю. Н. Киселев, Е. Н. Саладаев. Сравняющие устройства быстродействующих преобразователей конвейерного типа.— В кн.: Проблемы создания преобразователей формы информации. (Материалы II Всесоюзного симпозиума). Киев, «Наукова думка», 1973.
3. В. А. Беломестных и др. Конвейерный аналого-цифровой преобразователь.— Автометрия, 1975, № 1.

Поступила в редакцию 17 июля 1974 г.