

Ю. В. ШАЛАГИНОВ  
(Новосибирск)

### БЫСТРОДЕЙСТВУЮЩИЙ СУММАТОР НАКАПЛИВАЮЩЕГО ТИПА ДЛЯ НЕРАВНОМЕРНО-СЛЕДЯЩЕГО АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ

В последнее время наметилась тенденция к использованию неравномерно-следящих аналого-цифровых преобразователей (АЦП) для изучения быстропротекающих процессов. В качестве элемента устройства управления таких АЦП используются сумматоры двоичных чисел [1, 2]. Применение сумматоров увеличивает возможности АЦП при преобразовании быстропротекающих процессов. Однако имеющаяся литература по вопросам построения сумматоров (например, [3, 4]) нацелена на освещение вопросов проектирования сумматоров применительно к вычислительным системам и не в состоянии оказать эффективную помощь разработчику АЦП в получении оптимальных характеристик для своего устройства. Для этого необходимо учитывать некоторые особенности работы сумматора в составе АЦП.

Для иллюстрации этих особенностей обратимся к обобщенной структурной схеме АЦП следящего типа (рис. 1). В этом преобразователе аналоговая величина  $F_i$  в каждом такте слежения поступает на левые входы набора пороговых элементов (НПЭ). На другие входы НПЭ поступает сигнал  $F_{i-1}^*$  с ЦАП, включенного в цепь обратной связи. Сигнал  $F_{i-1}^*$  соответствует значению входного сигнала в предшествующий момент времени, и код, ему соответствующий, находится на сумматоре. НПЭ вырабатывает унитарный код, соответствующий величине разности  $F_i - F_{i-1}^*$  и с помощью шифратора (Ш) преобразующийся в двоичный код. Двоичный код разности  $F_i - F_{i-1}^*$  поступает на сумматор, где, суммируясь с кодом  $F_{i-1}^*$ , образует код входной величины  $F_i$ .

Отметим основные факторы, вытекающие из рассмотрения обобщенной схемы:

1) новое значение кода образуется в сумматоре на месте предыдущего путем сложения с ним кода рассогласования, поэтому для такого АЦП более подходящим является сумматор накапливающего типа, в котором результат сложения образуется на месте первого слагаемого путем добавления к нему второго;

2) операция сравнения аналоговых величин и формирования кода рассогласования выполняется последовательно с операциями суммирования в сумматоре, поэтому при построении сумматоров надо стремиться к минимизации времени, необходимого для выполнения операции непосредственного суммирования, т. е. на замену предыдущего кода сумматора новым, после чего может затрачиваться некоторое время на подготовку сумматора к новому такту сложения (выключение цепей переноса, перепись во вспомогательный регистр и др.), поскольку в это время в АЦП выполняются операции сравнения и формирования кода рассогласования;

3) сумматор непосредственно управляет ЦАП, который представляет определенную нагрузку на триггеры регистра суммы, поэтому регистр суммы должен по возможности меньше нагружаться внутренними элементами сумматора.

Ниже описывается параллельный сумматор двоичных чисел, который спроектирован с учетом изложенных замечаний и предназначен для использования в составе АЦП, описанного в [1]. При проектировании этого сумматора особое внимание было уделено достижению максимального быстродействия при принятой элементной базе.

Описываемый сумматор накапливающего типа содержит восемь разрядов. Сумматор разделен на две группы по четыре разряда. Каждая группа построена по схеме с одновременным переносом, а перенос между группами осуществляется специальной логической схемой повышенного быстродействия.

Для рассмотрения принципа действия сумматора обратимся к рис. 2, на котором для простоты изображена группа, состоящая только из двух разрядов сумматора. Однако принцип построения этой схемы полностью соответствует принципу построения группы из четырех разрядов описываемого сумматора.

Группа из двух разрядов сумматора, представленная на рис. 2, содержит регистр  $A$  ( $T_1, T_2$ ), предназначенный для запоминания первого слагаемого и результата сложения; регистр  $B$  ( $T_3, T_4$ ), предназначенный для управления цепями переноса; регистр  $C$  ( $T_5, T_6$ ), служащий для запоминания переносов; клапаны ввода слагаемого ( $K_{10}-K_{13}$ ); клапаны блокировки  $K_6-K_8$ ; цепи переноса:  $K_1-K_5$ , схему «ИЛИ» и инверторы  $I_1$  и  $I_2$ .

Установка триггеров в состояние «1» производится подачей сигнала «0» на входы триггеров  $S$ , а в состоянии «0» — на  $R$ . Логической единице соответствует высокий

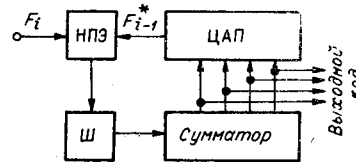


Рис. 1.

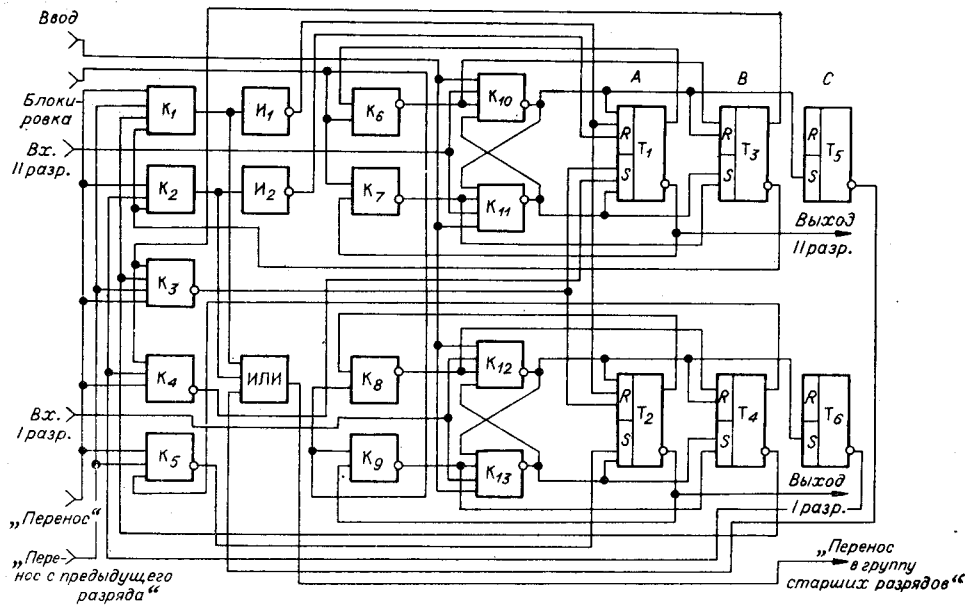


Рис. 2.

уровень положительного потенциала, логическому нулю — нулевой. Цепи, сброса триггеров в исходное состояние не показаны.

Работает данная группа разрядов сумматора следующим образом. Перед началом сложения в ней находится первое слагаемое, которое зафиксировано в триггерах регистра А. Содержимое регистра В соответствует содержимому регистра А, поскольку в этот момент клапаны  $K_6$ — $K_9$  открыты высоким потенциалом на шине «Блокировка». Триггеры регистра С находятся в состоянии «0».

Сложение осуществляется в два такта. В первом такте по команде «Ввод» второе слагаемое по шинам «Вх. I разр.» и «Вх. II разр.» через клапаны  $K_{10}$ — $K_{13}$  поступает в триггеры регистров А и В, в которых образуется сумма по модулю два первого и второго слагаемых. Одновременно с сигналом «Ввод» по шине «Блокировка» подается запрещающий потенциал. С тем чтобы во время действия сигналов «Ввод» и запрещающего потенциала на шине «Блокировка» не происходил сбой в цепи ввода слагаемого, клапаны  $K_{10}$ ,  $K_{11}$  и  $K_{12}$ ,  $K_{13}$  попарно объединены внешними связями по схеме триггера, что позволяет им запоминать свое первоначальное состояние к моменту подачи запрещающего потенциала по шине «Блокировка».

Таким образом, триггеры  $T_1$ ,  $T_3$  совместно с клапанами  $K_6$ ,  $K_7$ ,  $K_{10}$ ,  $K_{11}$ , а также  $T_2$ ,  $T_4$  с  $K_8$ ,  $K_9$ ,  $K_{12}$ ,  $K_{13}$ , представляют собой схемы триггеров со счетным входом. Такое построение триггера со счетным входом для быстродействующих сумматоров более приемлемо, чем широко распространенные схемы Т-триггера [3] и статического триггера со счетным входом [4], которые задерживают появление выходного сигнала на время действия входного импульса.

В момент образования суммы по модулю два первого и второго слагаемых в тех разрядах, где первое и второе слагаемые имели значения «1», образуются импульсы переносов, которые устанавливают соответствующие триггеры регистра С в состояние «1».

В результате выполнения первого такта в разрядах регистров А и В образуется сумма по модулю два первого и второго слагаемых, а в триггерах регистра С фиксируются переносы.

Во втором такте происходит формирование результата сложения в регистре А. Это выполняется под действием сигнала «Перенос», который подается на клапаны  $K_1$ — $K_5$ , образующие цепь переноса. Эти клапаны управляются триггерами регистров В и С и обеспечивают сложение кода переносов, содержащегося в регистре С, с кодом, находящимся в регистре А. Импульсы с выходов клапанов  $K_1$ — $K_5$  воздействуют непосредственно на отдельные входы триггеров регистра А.

Переход триггера любого разряда в состояние «1» определяется формулой

$$a'_i = \bar{a}_i c_{i-1} \vee \bar{a}_i a_{i-1} c_{i-2} \vee \dots \vee \bar{a}_i a_{i-1} a_{i-2} \dots a_2 c_1 \vee \bar{a}_i a_{i-1} a_{i-2} \dots a_2 a_1 c_0 \quad (1)$$

где  $a'_i$  — условие перехода триггера  $i$ -го разряда в состояние «1»;  $a_i$  — значение триггера  $i$ -го разряда к моменту переноса;  $c_i$  — сигнал переноса в  $i$ -м разряде;  $c_0$  — сигнал переноса из предыдущей группы разрядов.

Соответственно переход триггера в состояние «0» определяется формулой

$$a_i^0 = c_i c_{i-1} \vee a_i a_{i-1} c_{i-2} \vee \dots \vee a_i a_{i-1} a_{i-2} \dots a_2 c_1 \vee a_i a_{i-1} a_{i-2} \dots a_2 a_1 c_0, \quad (2)$$

где  $a_i^0$  — условие перехода  $i$ -го триггера в состояние «0».

Эти формулы — общие для любого числа триггеров в группе с одновременным переносом, построенной по описываемому принципу.

Перенос из данной группы в следующую по старшинству группу определяется формулой (1), записанной для старшего триггера этой группы. Перенос осуществляется с помощью схемы «ИЛИ», построенной на переключателе тока.

В течение второго такта клапаны  $K_6$ — $K_9$  закрыты сигналом «0» по шине «Блокировка», поэтому триггеры регистра  $B$  не меняют своего состояния до конца суммирования. Этим достигается надежность функционирования сумматора при выполнении операции переноса.

Таким образом, после двух тактов работы сумматора в триггерах регистра  $A$  образуется сумма первого и второго слагаемых. По окончании суммирования по шине «Блокировка» подается разрешающий потенциал, а через клапаны  $K_6$ — $K_9$  триггеры регистра  $B$  устанавливаются в соответствие с состояниями триггеров регистра  $A$ . Одновременно производится сброс триггеров  $T_5$ ,  $T_6$  в исходное состояние. Эти операции необходимы для подготовки сумматора к новому циклу сложения.

Общее время суммирования двух чисел  $t_{\text{сум}}$  в 8-разрядном сумматоре определяется формулой

$$t_{\text{сум}} = 2t_{\text{к}} + 2t_{\text{тр}} + t_{\text{с.п.}}$$

где  $t_{\text{к}}$  — задержка распространения сигнала на клапане, работающем на открывание;  $t_{\text{тр}}$  — задержка срабатывания триггера;  $t_{\text{с.п.}}$  — задержка, вносимая логической схемой переноса между группами.

Для принятой элементной базы — гибридных микросхем ДТЛ серии 217 — эти величины равны:  $t_{\text{к}} = 12$  нс;  $t_{\text{тр}} = 35$  нс;  $t_{\text{с.п.}} = 6$  нс; отсюда  $t_{\text{сум}} = 100$  нс. Время, затрачиваемое на подготовку к новому циклу суммирования, составляет 30 нс.

Сумматор выполнен на микросхемах 2ЛБ171 и 2ЛБ172 и используется в составе быстродействующего неравномерно-следящего АЦП с тактовой частотой слежения 4 МГц.

#### ЛИТЕРАТУРА

1. А. Н. Касперович, Ю. В. Шалагинов. Об одном принципе построения быстродействующей системы аналого-цифрового преобразования с адаптивной дискретизацией. — Автометрия, 1972, № 2.
2. К. В. Сафронова, В. П. Сафронов, В. М. Шляндин. Адаптивные следящие аналого-цифровые преобразователи. — Информационно-измерительная техника, вып. 5. Ученые записки. Пенза, 1971.
3. Б. М. Каган, М. М. Каневский. Цифровые вычислительные машины и системы. М., «Энергия», 1970.
4. В. П. Петров. Проектирование цифровых систем контроля и управления. М., «Машиностроение», 1967.

Поступило в редакцию 13 октября 1972 г.

УДК 621.317.795.5.085.3

В. М. ВЕДЕРНИКОВ, В. П. КИРЬЯНОВ, М. А. КОКШАРОВ  
(Новосибирск)

#### ШЕСТИКАНАЛЬНЫЙ ГЕНЕРАТОР ЗАДЕРЖАННЫХ ИМПУЛЬСОВ

В экспериментальной физике широкое распространение получили многоканальные генераторы задержанных импульсов большой амплитуды. Чаще всего в таких генераторах элементом задержки служат обычные релаксационные генераторы с повышенной стабильностью времязадающих цепей. В последнее время для построения генераторов регулируемой задержки импульсов обычно используются цифровые методы [1, 2]. Такие генераторы удобны в работе, малогабаритны и обладают высокой стабильностью.

Рассматриваемый генератор использует известный метод получения регулируемой задержки с помощью высокостабильного генератора импульсов, счетчика и логических схем. Принципиальная схема генератора приведена на рис. 1. Основным времязадающим элементом генератора является мультивибратор, стабилизированный кварцем,