

АВТОМАТИЗИРОВАННЫЕ СИСТЕМЫ СБОРА И ОБРАБОТКИ ДАННЫХ

УДК 681.32

В. С. ГЛАДКИЙ

(Севастополь)

ВЕРоятностные ПРОЦЕССОРЫ ДЛЯ СТАТИСТИЧЕСКОЙ ОБРАБОТКИ ДАННЫХ

Стереотипность и большой объем вычислений при статистической обработке данных, если последние носят систематический характер, выдвигают проблему построения специализированных процессоров. В настоящее время определились три направления в построении указанных процессоров — на основе применения средств аналоговой, дискретной и цифровых вероятностной техники. Не останавливаясь на детальном сопоставительном анализе, назовем известные недостатки, присущие аналоговым процессорам: низкая точность и стабильность вычислений, узкий частотный диапазон, плохая «стыкуемость» с цифровыми системами. Вместе с тем использование в цифровых процессорах классических вычислительных схем — сумматоров, множительно-делительных устройств, стандартных запоминающих устройств — приводит к чрезвычайному увеличению габаритов, энергопотребления и стоимости прибора. Весьма перспективным представляется использование в цифровых процессорах вычислителей, работающих на вероятностных принципах.

Метод вероятностного округления чисел и аспекты его применения при статистической обработке данных. В основе использования вероятностных методов для анализа случайных процессоров лежит специальный метод округления чисел. Цель округления — уменьшение разрядности чисел, которыми представлен случайный процесс. Уменьшение разрядности ведет к очевидным преимуществам: сокращается объем цифровой информации, передаваемой по каналам связи и обрабатываемой на ЭВМ; упрощаются специализированные процессоры для статистической обработки. В отличие от широко распространенного в вычислительной практике правила округления «по дополнению» [1], которое будем называть правилом детерминированного округления (д. о.), в вероятностных вычислителях используется правило вероятностного округления (в. о.) [2—6].

Сформулируем правила д. о. и в. о. чисел. В обоих случаях округляемое число разбивается на две части — остающуюся и отбрасываемую. Отбрасываемая часть рассматривается как некоторое число x , лежащее в интервале $(0,1)$. При д. о. число заменяется единицей переноса, если оно больше или равно 0,5. При в. о. число x заменяется единицей переноса с вероятностью, численно равной x . В обоих случаях единица переноса суммируется с оставшейся частью.

Приведем некоторые характерные оценки для обоих методов округления [6]. Если y_i — результат округления числа x_i , то для д. о. будем иметь:

$$M(Y) = \int_{0,5}^1 f(x) dx = \alpha; \quad D(Y) = \alpha(1-\alpha).$$

Для ошибки округления при д. о. $\delta_d^{(i)} = y_i - x_i$

$$M(\delta_d) = \alpha - m_x;$$

$$D(\delta_d) = \sigma_x^2 + \alpha(1-\alpha) - 2 \left(\int_{0,5}^1 x f(x) dx - \alpha m_x \right).$$

Границы, в пределах которых с вероятностью β будет лежать ожидаемая ошибка при суммировании и осреднении N округляемых д. о. чисел, определяются выражениями:

$$\Delta_d^{(\Sigma)} = N(\alpha - m_x) \pm t_\beta N^{\frac{1}{2}} D(\delta_d); \quad \bar{\Delta}_d = (\alpha - m_x) \pm t_\beta N^{-\frac{1}{2}} D(\delta_d). \quad (1)$$

Здесь $t_\beta = \Phi^{-1}\left(\frac{1+\beta}{2}\right)$ — функция, обратная нормальной функции распределения. Из (1) следует, что математическое ожидание ошибки при д. о. равно нулю лишь в случае, если $\alpha = m_x$. Отклонение закона распределения x от равномерного или от любого другого симметричного относительно $x=0,5$ с большой вероятностью приводит при д. о. к появлению методической ошибки тем большей, чем больше разность между α и m_x . Для в. о.

$$M(Y)_1 = m_x; \quad D(Y) = m_x(1-m_x); \quad M(\delta_v) = \int_0^1 [(-x)(1-x) + (1+x)x] f(x) dx = 0.$$

Таким образом, при в. о. ожидаемая ошибка не зависит от закона распределения x и всегда равна нулю. В этом состоит принципиальное отличие в. о. от д. о.:

$$D(\delta_v) = m_x(1-m_x) - \sigma_x^2 = D(Y) - D(X).$$

Ошибка при суммировании и осреднении N чисел, округляемых методом в. о., с вероятностью β не превысит величин:

$$\Delta_v^{(\Sigma)} = t_\beta N^{\frac{1}{2}} [m_x(1-m_x) - \sigma_x^2]^{\frac{1}{2}}; \quad \bar{\Delta}_v = t_\beta N^{-\frac{1}{2}} [m_x(1-m_x) - \sigma_x^2]^{\frac{1}{2}}. \quad (2)$$

Пусть после в. о. количество значащих двоичных разрядов в числе равно k . Тогда ожидаемая ошибка при осреднении N чисел с вероятностью β не превысит величины

$$\bar{\Delta}_v^{(k)} = 2^{-k} t_\beta N^{-\frac{1}{2}} [m(1-m) - \sigma^2]^{\frac{1}{2}}, \quad (3)$$

где m, σ^2 — математическое ожидание и дисперсия чисел, образованных из отброшенных разрядов. Из (3) следует, что, задавшись допустимой погрешностью вычисления среднего арифметического $\bar{\Delta}_v^{(k)}$, можно определить то минимальное количество остающихся после в. о. двоичных разрядов в числах, предназначенных для вычисления среднего арифметического, при котором ошибка конечного результата не превысит заданную:

$$k \geq -\log_2 \left\{ \bar{\Delta}_v^{(k)} N^{\frac{1}{2}} t_\beta^{-1} [m(1-m) - \sigma^2]^{-\frac{1}{2}} \right\}. \quad (4)$$

Если величину $\bar{\Delta}_B^{(k)}$ выбирать в зависимости от значения $\Delta_{ст}$

$$\bar{\Delta}_B^{(k)} = \mu \Delta_{ст}; \quad \Delta_{ст} = t_{\beta} \sigma_x N^{-\frac{1}{2}}, \quad (5)$$

то $k = \log_2 2\mu\sigma_x$.

Процессоры для вычисления среднего арифметического (с. а.) Конструктивно наиболее простыми процессоры для статистической обработки данных становятся при в. о. многоразрядных чисел до одnorазрядных [3, 7, 8] [числа исходного ряда $X(t) = (x_1, x_2, \dots, x_N)$ нормализованы в интервале (0,1)]. Отношение ошибки вычисления с. а. к статистической погрешности вычисления математического ожидания (5) будет величиной постоянной и независимой от N (так, например, для равномерного распределения вклад обеих составляющих в суммарную погрешность одинаков: $\mu = 1$).

При этом вычисление с. а. сводится к подсчету количества единиц после в. о. с помощью накопительного счетчика и делению суммы на N . Если представляется возможным выбрать N , равным 2^n , то деление сводится к переносу запятой в показании счетчика в сторону старших разрядов на n разрядов. Такой путь вычисления с. а., являясь наиболее простым, может быть рекомендован только для больших выборок $N = (2^{12} \div 2^{14})$. Если N невелико, то с целью уменьшения погрешности вычисления с. а. каждое число входного ряда подвергают независимому в. о. до одnorазрядного N^* раз так, чтобы $NN^* = 2^{12} \div 2^{14}$ [6].

При этом ошибка вычисления с. а. будет равна $\bar{\Delta}^* \leq 0,5 t_{\beta} (NN^*)^{-\frac{1}{2}}$; для $NN^* = 2^{14}$ будем иметь $\Delta^* \leq t_{\beta} 2^{-8}$. Так, например, с надежностью $\beta = 0,96$ ($t_{\beta} = 2,053$) ошибка вычисления с. а. не превысит величины 2^{-7} , и, таким образом, с надежностью, равной 0,96, можно полагать, что в показании 14-разрядного накопительного счетчика содержится по крайней мере семь верных старших знаков, и с надежностью, равной практически единице, — шесть верных знаков.

Если числа ряда знакопеременные, то после в. о. числа (единицы) также знакопеременны:

$$y_i = \begin{cases} 1, & \text{если } R_i < |x_i|; \text{ при } x_i > 0; \\ 0, & \text{если } R_i \geq |x_i|; \\ 1, & \text{если } R_i < |x_i|; \text{ при } x_i < 0, \end{cases} \quad (6)$$

где R_i — случайное число с равномерным распределением в интервале (0,1); разрядность R_i равна разрядности x_i .

Для вычисления с. а. при этом необходимо использовать реверсивные счетчики. На рис. 1 приведена схема процессора для вычисления с. а. для знакопеременного входного ряда, числа которого подвергаются в. о. до одnorазрядных (процессор с одnorазрядными приращениями). Здесь и в дальнейшем рассматриваются процессоры, выходная числовая информация в которых представлена семью верными двоичными знаками. На рис. 1 приняты обозначения: 1 — приемный регистр для хранения l -разрядного числа ($l = 7 \div 12$); 2 — вероятностный двоичный элемент (ВДЭ) [3—5], реализующий операцию в. о. l -разрядных чисел до одnorазрядных; 3 — реверсивный 14-разрядный двоичный счетчик; 4 — генератор тактовых импульсов (ГТИ); 5, 6 — счетчики-делители импульсов с управляемыми коэффициентами деления, коэффициенты деления

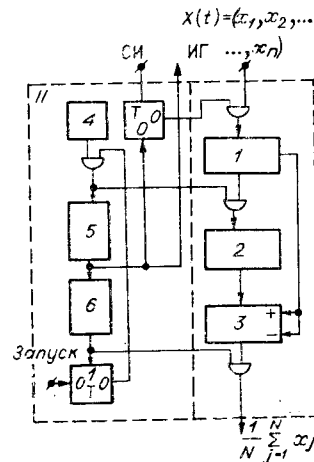


Рис. 1.

для счетчиков b и 6 соответственно равны N^* и N . После запуска процессора первое число ряда x_1 заносится в регистр 1 , где хранится N^* тактов. В течение этого времени ВДЭ 2 осуществляет N^* независимых операций в. о. Результат накапливается в счетчике 3 с соответствующим знаком. Далее вводится число x_2 , которое также округляется N^* раз, и т. д. После переполнения счетчика 6 со старших семи разрядов счетчика 3 снимается результат — среднее арифметическое исходного ряда чисел. Максимально возможная скорость ввода чисел в процессор в N^* раз ниже тактовой частоты ГТИ, которая определяется максимальной частотой переключения используемых элементов.

Выполнение требования, чтобы $NN^* = 2^{12} \div 2^{14}$, жестко ограничивает возможные значения, которые может принимать N , а именно N должно быть равно 2^n , где n — целое число. Так, например, если ряд задан 400 значениями функции, то с целью выполнения указанного условия необходимо его уменьшить до 256 (на 36%). Несомненно, что столь значительное усечение ряда крайне нежелательно. Вместе с тем можно так организовать структуру накопительного счетчика 3 , что процедуру деления на N конечного результата можно будет по-прежнему свести к переносу запятой, не подвергая в то же время существенному усечению исходный ряд. Для этого разобьем счетчик 3 на два 7-разрядных последовательно соединенных счетчика: первый, допускающий произвольный коэффициент деления L в диапазоне от 2^6 до 2^7 , второй — с постоянным коэффициентом деления, равным 2^7 . Значение L будем выбирать из следующих соображений. Пусть задана длина ряда N_s . Определим целую часть $\gamma = N_s \cdot 2^{-7}$. Найдем $N = L/\gamma$, где L выбирают кратным γ и максимально возможным в диапазоне $(2^6 - 2^7)$. Разрешенное значение N_p равно $\gamma 2^7$. При этом обеспечивается выполнение условия $2^{13} \leq N_p N^* \leq 2^{14}$ для получения заданной погрешности конечного результата (не более 2^{-7}). Приведем пример. Пусть $N_s = 400$. Следуя описанной методике, получим: $\gamma = 3$, $L = 120$, $N_p = 384$ (что лишь на 4% меньше N_s), $N^* = 40$, $NN^* = 15360$. Другой пример: $N_s = 3543$. Найдим: $\gamma = 27$, $N^* = 4$, $L = 108$, $N_p = 3456$ (что на 2,5% меньше N_s), $NN^* = 13824$. Как видим, исходный ряд при этом усечается незначительно и оценка математического ожидания практически не искажается. Число, снимаемое со второго счетчика, уже будет являть собой среднее арифметическое ряда длиной N_p . Если числа на входе округлять до $k > 1$ разрядов, исходя из (4), то представится возможным сделать $N^* = 1$ и, таким образом, довести максимальную скорость ввода в процессор чисел до тактовой частоты ГТИ. Заметим, что если принять $\bar{\Delta}_B^{(k)} = 2^{-l}$, где l — разрядность входных чисел, то всегда $k < l$. Действительно, учитывая, что подкоренное выражение в (4) не может принимать численное значение больше 0,25, и приняв $l_B = 2$, получим $k = l - \log_2 \sqrt{N}$. Так, для $N = 2^8$, $l = 7$ исходные числа можно округлять до трехразрядных. Осуществляя все арифметические операции, найдем конечный результат с погрешностью не более 2^{-7} .

Для малых значений N можно выбрать компромиссное решение, сделав $N^* > 1$ и оставив малое значение k ($k = 2 \div 3$). Если заданы $\bar{\Delta}_B^{(k)} = 2^{-l}$, k и $N = 2^n$, то $N^* = 2^{2(l-k)-n}$. Так, для $k = 2$, $N = 2^6$, $l = 7$ получим $N^* = 16$, для $k = 3$ и при том же значении $N = 2^6$ найдем $N^* = 4$. Процессоры, использующие операцию в. о. до $k > 1$ разрядов, будем называть процессорами с многозарядными приращениями. Схема такого процессора для вычисления с. а. показана на рис. 1, где 2 — устройство для в. о. [5, 6] l -разрядных чисел до k -разрядных; 3 — сумматор с k -разрядным приращением. Остальные элементы и работа процессора были описаны ранее.

С теми же целями, что и для процессора с одnorазрядными приращениями, организуем структуру накопительного сумматора 3 так, чтобы расширить спектр значений N_p . Для этого разобьем сумматор 3

на две части: в качестве первой возьмем сумматор с k -разрядным приращением по $\text{mod } L$ (для $k = 3, \bar{\Delta}_p^{(k)} = 2^{-7}, 8 \leq L \leq 16$), в качестве второй — 7-разрядный реверсивный двоичный счетчик. Последовательность определения параметров L и N_p такая же, как и описанная выше. Так, например, для $N_s = 400$ находим: $\gamma = 3; L = 15; N^* = 5; N_p = 384$.

Процессоры для вычисления вторых моментов. В зависимости от того, до скольких разрядов округляются исходные числа перед умножением, будем различать процессоры для вычисления вторых моментов с одно- и многоразрядными приращениями. Возможны также процессоры смешанного типа, когда одно из умножаемых чисел округляется до одноразрядного ($k_1 = 1$), а второе — до многоразрядного ($k_2 > 1$). Можно предложить также варианты, когда $k_1, k_2 > 1$ и $k_1 \neq k_2$. Однако практический интерес представляют первые три варианта. Заметим, что поскольку дисперсия среднего арифметического квадрата значений функции примерно в 1,4 раза больше дисперсии среднего арифметического той же функции [9], то для достижения одинаковой точности получения конечного результата величину NN^* необходимо увеличить в $1,4^2 \sim 3$ раза. Обычно это достигается за счет соответствующего увеличения N^* . При этом точность вычисления с. а. функции на совмещенном процессоре будет выше точности вычисления вторых моментов.

На рис. 2, а показана схема процессора для вычисления $M(X), M(Y), M(XY), M(X^2), D_x, K(XY)$, где 1, 2 — приемные регистры для хранения l -разрядных чисел рядов $X(t)$ и $Y(t)$ ($l = 7 \div 12$), 3, 5 — устройства для в. о. l -разрядных чисел до k -разрядных; 4 — схема умножения знаков; 6, 7 — сумматоры с k -разрядными приращениями. Для $k = 1$ схема процессора наиболее проста [10], однако ее быстродействие (определяемое максимально возможной скоростью ввода чисел исходных рядов) минимально среди прочих процессоров. В этом случае блок 8 являет собой двухвходовую схему конъюнкции, а 9 — реверсивный двоичный счетчик. В процессоре смешанного типа в одном из устройств в. о. (например, в 3) числа округляются до одноразрядных ($k_1 = 1$), а в другом (5) — до $k_2 > 1$ разрядов. При этом схема 8 являет собой группу вентилях, управляемых выходом блока 3, для списывания округленного числа из 5 в сумматор 9 с k_2 -разрядным приращением в те моменты, когда в 3 число после в. о. приняло значение 1. И, наконец, если $k_1 = k_2 = (3 \div 4)$, то блок 8 являет собой однотактовую схему матричного умножения двух k -разрядных чисел, а блок 9 — сумматор с $2k$ -разрядным приращением. На рис. 2, б показана схема управления процессором (1 — ГТИ; 2 — счетчик-делитель на N^* ;

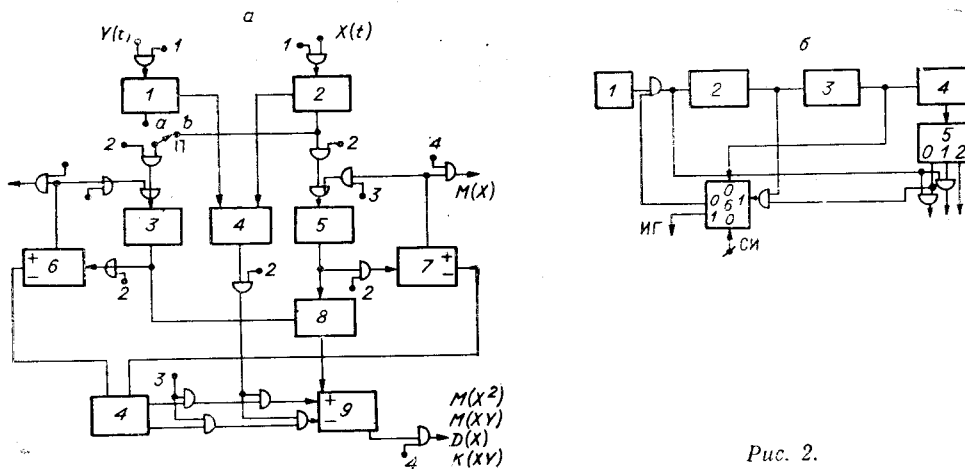


Рис. 2.

3 — счетчик-делитель на N ; 4 — счетчик-делитель на три; 5 — дешифратор; 6 — триггер).

Работа процессора состоит в следующем. Первые числа рядов $X(t)$ и $Y(t)$ заносятся в приемные регистры 1 и 2. Затем осуществляется N^* -кратное их считывание в блоки в. о. 3 и 5. Числа после округления заносятся в сумматоры 6 и 7, где вычисляются оценки $M(X)$ и $M(Y)$. Одновременно числа после в. о. поступают в блок умножения 8. Результат умножения заносится в сумматор 9. Знак очередного приращения сумматора определяется в 4. Далее поступают вторые числа рядов, и процедура их обработки повторяется аналогично описанному и т. д. После обработки последних чисел (x_N и y_N) со старших семи разрядов блоков 6, 7, 9, считываются оценки $M(Y)$, $M(X)$, $M(XY)$, или $M(X^2)$. Затем входные каналы процессора перекрываются и начинается второй этап, длящийся NN^* тактов. Вычисленные значения $M(X)$ и $M(Y)$ (или $M(X)$ и $M(X)$) перемножаются NN^* раз между собой с помощью тех же блоков (3, 4, 5, 9), и получаемые частные результаты алгебраически вычитаются из содержимого сумматора 9. После этого оценки $K(XY)$ или D_x (переключатель П в положении b) считываются из 9 в выходной канал.

Процессоры для корреляционного и спектрального анализов. Возможность выполнения арифметических операций над малоразрядными числами (при в. о. исходных многоразрядных) с сохранением высокой точности получения конечного результата создает хорошие предпосылки для создания компактного и быстродействующего процессора, предназначенного для корреляционного и спектрального анализа. Здесь мы рассмотрим схему процессора с многоразрядными приращениями, не оговаривая в дальнейшем, что, заменив блок матричного умножения на двухходовую схему конъюнкции (или на вентиляльную группу), мы приходим к процессорам с одноразрядными приращениями (или смешанного типа). Общая структура процессора при этом существенно не изменится, выявятся лишь указанные в предыдущем разделе недостатки и достоинства каждого из вариантов. На рис. 3, а показана схема процессора, в котором первоначально вычисляются оценки авто- или взаимно-корреляционной функции $R_{xx}(\tau)$, $R_{xy}(\tau)$, подвергаемые затем преобразованию Фурье для вычисления функции спектральной плотности S_{ω} . На рис. 3, а приняты обозначения: 1, 2 — преобразователи «аналог — код»; 3, 4 — вычислители математического ожидания; 5, 14 — приемные запоминающие регистры на l разрядов; 6 — цифровой генератор функции «корреляционного окна» — блок ПЗУ с регистром выборки; 7 — цифровой генератор $\cos ij\pi/m$; $i, j=0, 1, \dots, m-1$, где m — число ординат корреляционной и спектральной функций; 8, 11, 13 — блоки вероятностного округления; 9 — блок умножения знаков чисел; 10 — блок матричного умножения; 12 — блок динамической памяти ($l \times m + 1$), представляющий собой l сдвиговых $(m+1)$ -разрядных регистров; 15 — сумматор n -разрядный; 16 — блок оценки порядка числа; 17 — блок умножения чисел на заданный порядок; 18 — блок динамической памяти ($n \times m$).

Последовательность этапов работы устройства следующая. **I этап:** вычисление оценок математических ожиданий и моментной функции $M(X)$, $M(Y)$, $M_{xy}(\tau)$. Блоки в устройстве при этом взаимодействуют в следующей последовательности. Если обрабатывается только одна функция $X(t)$, то открыты вентили по входам 1 и 3. Тогда в блоках 3 и 4 вычисляется одно и то же значение $M(X)$. Если на вход поступают две функции $X(t)$ и $Y(t)$, то в блоке 3 вычисляется $M(X)$, а в блоке 4 — $M(Y)$. Аналогично определяется содержание приемного регистра 5. Одновременно каждое число функции $X(t)$ заводится в последнюю числовую ячейку блока 12, после чего начинается цикл умножения числа, хранящегося в 5, поочередно на все числа, хранящиеся в 12. Ум-

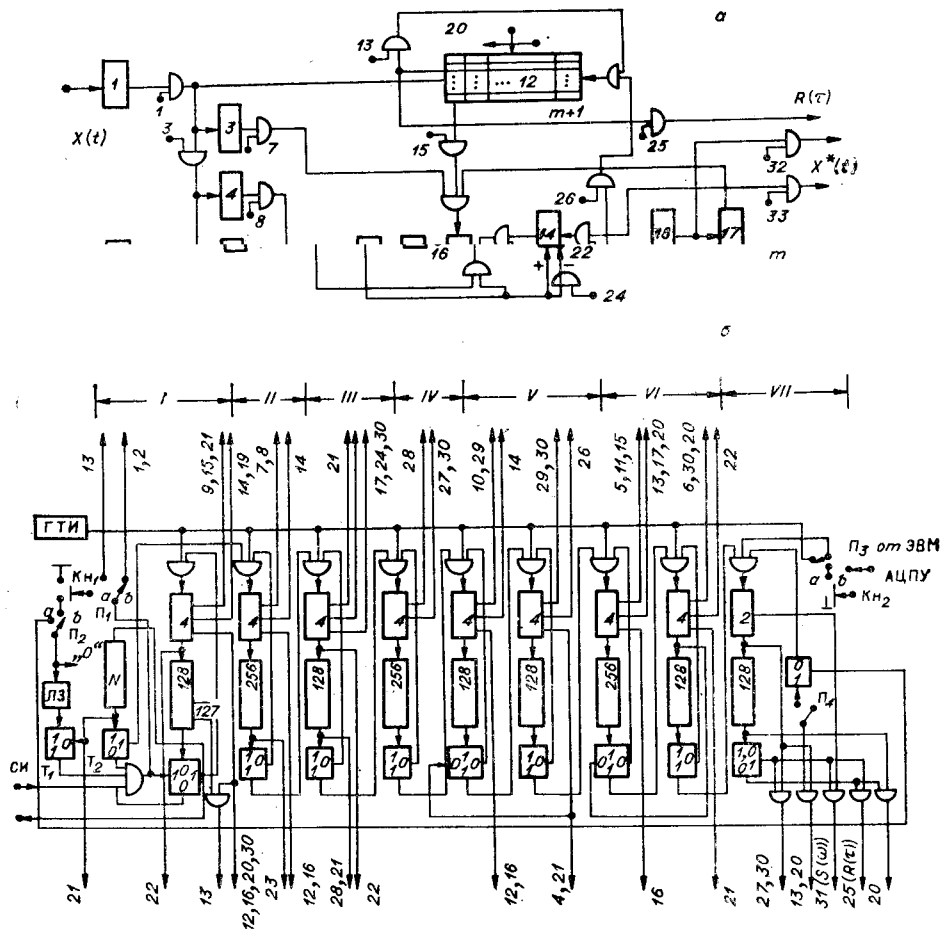


Рис. 3.

ножаемые числа предварительно округляются в блоках 8 и 13 каждое до k разрядов, а в блоке 10 подводимая комбинация входных чисел преобразуется в течение одного такта в результат. Результат умножения поступает в блок 11, где снова округляется в зависимости от длины входного ряда до 1, 2, 3, ..., $2k$ разрядов. Перед считыванием числа из блока 11 в блок 15 в последний заносится из блока 18 хранившееся там число. Циркуляция содержимого блока 18 по цепи обратной связи (через блок 15) осуществляется синхронно с циркуляцией чисел в блоке 12. Таким образом, по мере поступления потока чисел входной функции в блоке 18 будут накапливаться значения сумм парных произведений, которые, будучи разделенными на общее количество чисел входного потока (N), дадут оценку значения моментной функции $M_{xy}(\tau)$ или $M_{xx}(\tau)$. После I этапа устройство отключается от входных цепей до окончания всех последующих вычислений. II этап. Перемножаются значения $M(X)$ и $M(Y)$ (или $M(X)$ на $M(X)$). С целью сохранения заданной точности вычислений количество циклов умножения выбира-

ется таким, чтобы результат составлял n разрядов (при указанных выше значениях $n=14$ и $k=3$ количество циклов равно 256). Результат умножения в течение всех циклов накапливается в блоке 15 и переписывается затем в блок 14. **III этап.** Из моментной функции, хранящейся в 18, вычитается значение $M(X)M(Y)$ (или $M(X)^2$). При этом числа из блока 18 поочередно поступают в блок 15, в котором и осуществляется операция вычитания; результат в виде значений корреляционной функции снова заносится в блок 18. **IV этап.** В блоке 16 анализируется максимальное значение корреляционной функции. Если максимальное абсолютное значение функции мало, то в блоке 16 вырабатывается управляющий сигнал для автоматического умножения в блоке 17 проходящих через него чисел на 0, 1, 2, 3, 4, 5 двоичных порядка 8, 16, 32 путем простого сдвига проходящих чисел в сторону старших разрядов на соответствующее число разрядов. **V этап.** Умножение корреляционной функции на «корреляционное окно». Из блока 18 поочередно считываются значения корреляционной функции, а из блока 6 — значения «корреляционного окна». Процедура умножения аналогична выполняемой на II этапе. Отличие состоит лишь в том, что из блока 15, где накапливается результат умножения, новые значения корреляционной функции записываются в блок 12 (l -старших разрядов). **VI этап.** Вычисление функции спектральной плотности сигнала. Для вычисления j -й составляющей спектра ($j=0, 1, 2, \dots, m-1$) блоком 7 при заданном j вырабатывается m значений косинусоиды $\cos i\pi/m$ ($i=0, 1, \dots, m-1$). Причем i -е значение косинусоиды умножается на l -е значение корреляционной функции, хранящейся в 12. Все умножаемые пары суммируются в 15; результат, являющийся j -м значением функции спектральной плотности, заносится в блок 18. В течение VI этапа вычисляются все m значения спектра. **VII этап.** Считывание результатов. В зависимости от установленного режима полученные значения $R(\tau)$ и $S(\omega)$ считываются в выходные цепи поочередно и однократно (либо многократно). В первом случае сразу же после считывания открываются входные цепи и устройство начинает новый цикл вычислений.

На рис. 3, б показана функциональная схема устройства управления цифрового спектроанализатора для приведенных выше значений: $n=14$; $l=7$; $k=3$; $m=128$; $N=256 \div 8192$. Вверху римскими цифрами обозначены участки схемы управления, обеспечивающие работу спектроанализатора в каждом из семи этапов. Число тактов, занимаемых каждым этапом, при этом равно: I—512N; II—1024; III—512; IV—512; V—131 072; VI—131 072; VII—1024. При использовании элементов с максимальной частотой переключения f_{\max} максимальная скорость ввода числовой информации в устройство равна $f_{\max}/512$. Так, при использовании интегральных элементов $f_{\max}=5 \cdot 10^6$ Гц скорость ввода информации при вычислении математического ожидания и моментной функции равна 0—10 кГц. Минимальное время вычисления от 0,0256 до 0,82 с (соответственно для $N=256$, $N=8192$). На последующие вычисления требуется 256 216 импульсов, или время, равное $T=256 \cdot 216/f_{\max} \sim 0,05$ с. Таким образом, полный статистический анализ (с учетом вычисления спектра) может вестись с максимальной скоростью до 20 раз в секунду.

Процессоры для цифровой фильтрации. Процессор (см. рис. 3) может быть использован как нерекурсивный цифровой фильтр. При этом в блоке 12 записываются первые m значений исходной функции $X(t)$. После этого каждое из значений, хранящихся в блоке 12, умножается на значения функции сглаживающего ядра, снимаемые из блока 6. Результат умножения накапливается в блоке 15. Далее содержимое блока 15 делится на m (путем сдвига результата на n разрядов; $m=2^n$) и из него вычитается число, хранящееся в блоке 5;

разность подается на выход. Затем содержимое блока 12 сдвигается на разряд, при этом теряется самое первое записанное в него число и в устройство поступает новое число исходного ряда $X(t)$. Далее процедура вычислений повторяется аналогично описанному.

На рис. 4 приведена схема рекурсивного фильтра, реализующего параллельную форму [11] и использующего вероятностную арифметику. На рис. 4 приняты обозначения: 1, 14 — блоки ПЗУ со схемой выборки коэффициентов фильтра β и γ [11]; 2, 6, 8, 9, 13 — приемные регистры; 3, 5, 10, 12 — блоки вероятностного округления; 4, 11 — блоки матричного умножения; 7 — блок динамической памяти; 15, 16 — сумматоры; 17 — ГТИ; 18, 19 — делители на m и N^* . Работа устройства состоит в следующем. Число входного ряда заводится в 8, после чего считывается в 15. Из 1 считывается в 2 первое значение коэффициента β_1 , из 7 в 6 — первое число.

После округления в 3 и 5 числа умножаются в 4 и алгебраически вычитаются из содержимого 15. Результат затем считывается в 7 и 9. В следующем цикле указанный результат аналогично перемножается в 11 с коэффициентом γ_1 , результат заносится в 16. В это время перемножается β_2 со вторым числом из 7. После m указанных циклов из 16 считывается первое число выходного ряда $X^*(t)$ и одновременно заносится для обработки второе число ряда $X(t)$. При использовании элементов с верхней частотой переключения f_{\max} пропускная способность F_{\max} устройства равна f_{\max}/mN^* . Так, для $m=16$, $\Delta_B^{(k)} = 2^{-7}$, $k=3$, $N^*=2^4$, $f_{\max}=5 \cdot 10^6$ Гц получаем $F_{\max}=20$ тыс. чисел/с.

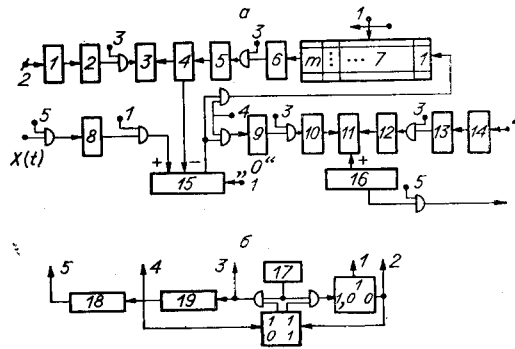


Рис. 4.

ЛИТЕРАТУРА

1. И. С. Березин, И. П. Жидков. Методы вычислений. М., Физматгиз, 1962.
2. Б. Р. Гейнс. Стохастическая вычислительная машина. — Электроника, 1967, № 14.
3. В. С. Гладкий. О статистическом кодировании при передаче информации о вероятностных характеристиках процесса. — Автоматика и телемеханика, 1971, № 8.
4. В. С. Гладкий. Устройство для моделирования случайного события с заданной вероятностью его наступления. Авт. свидетельство № 209046. — ИПОТЗ, 1968, № 4.
5. В. С. Гладкий. Устройство для вероятностного округления. Авт. свидетельство № 362299. — ОИПОТЗ, 1973, № 2.
6. В. С. Гладкий. Выбор разрядности чисел при передаче информации о вероятностных характеристиках процесса. — Автоматика и телемеханика, 1973, № 3.
7. П. Д. Киндлман, Е. Б. Хупер. Быстродействующий коррелометр. — Приборы для научных исследований, 1968, № 6.
8. P. Jespers, P. T. Chu, A. A. Fetweis. A New Method to compute Correlation Functions. — Trans. IRE, 1962, IT-8, № 5.
9. Н. А. Лившиц, В. Н. Пугачев. Вероятностный анализ систем автоматического управления. М., «Советское радио», 1963.
10. В. С. Гладкий. Устройство для вычисления дисперсии. Авт. свидетельство № 327496. — ОИПОТЗ, 1972, № 5.
11. Д. В. Уэйт. Цифровые фильтры. — В кн. Л. П. Хьюлсмана «Активные фильтры». М., «Мир», 1972.

Поступила в редакцию 14 января 1972 г.,
окончательный вариант — 19 марта 1973 г.