

Рис. 3

с экраном ФОК и магнитопроводом фокусирующей системы, для любого из рассмотренных типов катушек можно существенно сократить и свести к времени установления тока в отклоняющей катушке, используя тонкостенный проводящий цилиндр, расположенный в зазоре между отклоняющей катушкой и горловиной ЭЛТ. Перемещая цилиндр в зазоре можно скомпенсировать выбросы переходного процесса в любом конкретном ФОК.

#### ЛИТЕРАТУРА

1. А. И. Петренко. Автоматический ввод графиков в электронные вычислительные машины. М., «Энергия», 1968.
2. В. Ф. Борисовский, А. С. Буров и др. Сканирующий автомат на электроннолучевой трубке. Препринт ОИЯИ, Р-10-3631. Дубна, 1967.
3. С. Т. Васильков, Л. С. Вертопрахова и др. Сканирующий автомат для ввода в ЭЦВМ фильмовой информации.— Автометрия, 1970, № 2.
4. Wayne Hueliskoetter, Joserh Kimlinger. Ultra Precision Artwork Generated with a CRT Display.— IEE Internat. Convent. Digest., 1969, № 4.
5. А. М. Ковалев, А. С. Токарев. Широкополосное управление лучом ЭЛТ.— Автометрия, 1971, № 4.
6. А. А. Горелов, Е. К. Овчинников. О переходных процессах дискретного отклонения светового пятна высокоточного телевизионного датчика.— Вопросы радиоэлектроники, 1970, серия ТТ, вып. 3.
7. К. М. Поливанов. Ферромагнетики. М.— Л., Госэнергоиздат, 1957.

Поступила в редакцию 20 июня 1972 г.

УДК 681.321.67

**В. М. БЕЛОВ, В. А. БУРОВЦЕВ, В. П. ЗИНЧЕНКО,  
К. Ш. ИБРАГИМОВ, И. Ф. КЛИСТОРИН, А. Е. ПОДЗИН**  
(Новосибирск)

### **БЫСТРОДЕЙСТВУЮЩЕЕ ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ**

В быстродействующих системах сбора и обработки данных с помощью ЭВМ часто используются буферные оперативные запоминающие устройства (ОЗУ) сравнительно небольшой емкости, но высокого быстродействия. В качестве таких ОЗУ наиболее перспективными являются

полупроводниковые ЗУ на интегральных микросхемах [1]. Однако в настоящее время большинство серийно выпускаемых микросхем содержит только матрицу запоминающих элементов и характеризуется малой информационной емкостью. Непосредственное объединение нескольких запоминающих матриц приводит к значительному снижению быстродействия накопителя, а значит, и всего ОЗУ.

Поэтому представляет интерес такая организация ЗУ, при которой его быстродействие незначительно зависело бы от информационной емкости и определялось бы в основном быстродействием интегральной запоминающей матрицы.

В статье, как один из вариантов повышения быстродействия ЗУ, рассматривается вопрос построения блока ОЗУ из идентичных модулей, быстродействие которых достаточно близко к быстродействию интегральной запоминающей матрицы. Параллельное соединение таких модулей позволяет расширять информационную емкость ОЗУ как по разрядности, так и по числу слов, а быстродействие всего блока ОЗУ определяется быстродействием модуля и практически не зависит от количества последних. Особое внимание уделяется вопросам построения модуля на базе МОП-интегральной запоминающей матрицы, имеющей общую разрядную шину для записи и считывания, а также вопросам согласования уровней управляющих напряжений матрицы и устройств управления, построенных на ТТЛ микросхемах.

В результате исследований разработан модуль ОЗУ, имеющий информационную емкость 256 бит (32 8-разрядных слова). В качестве элементов накопителя используются интегральные матрицы, состоящие из 16 триггерных ячеек на взаимодополняющих МОП-транзисторах в одном корпусе (8 2-разрядных слов) [1]. Выбор последних обусловлен тем, что они характеризуются высоким быстродействием, помехоустойчивостью и малой потребляемой мощностью.

На рис. 1 представлена функциональная схема модуля, содержащего накопитель, 5-разрядный регистр адресов, дешифратор на 32 выхода и 8 разрядных формирователей записи — считывания. Характеристики используемых МОП-интегральных матриц ИЯМЗ приведены в [1], а в таблице представлены уровни управляющих и информацион-

Режим работы	Адресная шина, В	Разрядная шина, В	Питание матрицы, В
Исходный режим . . . . .	+6,3	—	6,3
Запись «1» . . . . .	-6,3	+6,3	6,3
Запись «0» . . . . .	-6,3	0	6,3
Считывание . . . . .	0	—	6,3

ных сигналов, которые не согласуются с уровнями серийных логических микросхем.

Более того, на адресную шину необходимо подавать разнополярные напряжения, что приводит к существенным усложнениям адресных формирователей, так как для форм-

мирования таких напряжений требуется минимально два транзистора типа  $n-p-n$  и  $p-n-p$ .

В результате исследований интегральных матриц накопителя было предложено схемное решение, позволяющее перейти к однополярным управляющим напряжениям.

Это стало возможным благодаря введению в модуль одного управляемого источника напряжения для питания всего накопителя и адресных формирователей (см. рис. 1). Источник управляемого напряжения состоит из токостабилизирующего двухполюсника (транзистор  $T_7$ ), стабилитрона и резистора  $R_9$ , шунтируемого ключом  $T_6$ . Напряжение питания накопителя определяется стабилитроном  $D_1$  и равно 6В, а напряжение питания адресных формирователей составляет +12В (режим «Запись») или +6В (режим «Считывание») в зависимости от состояния транзистора  $T_6$ . Легко видеть, что при использовании «плавающего»

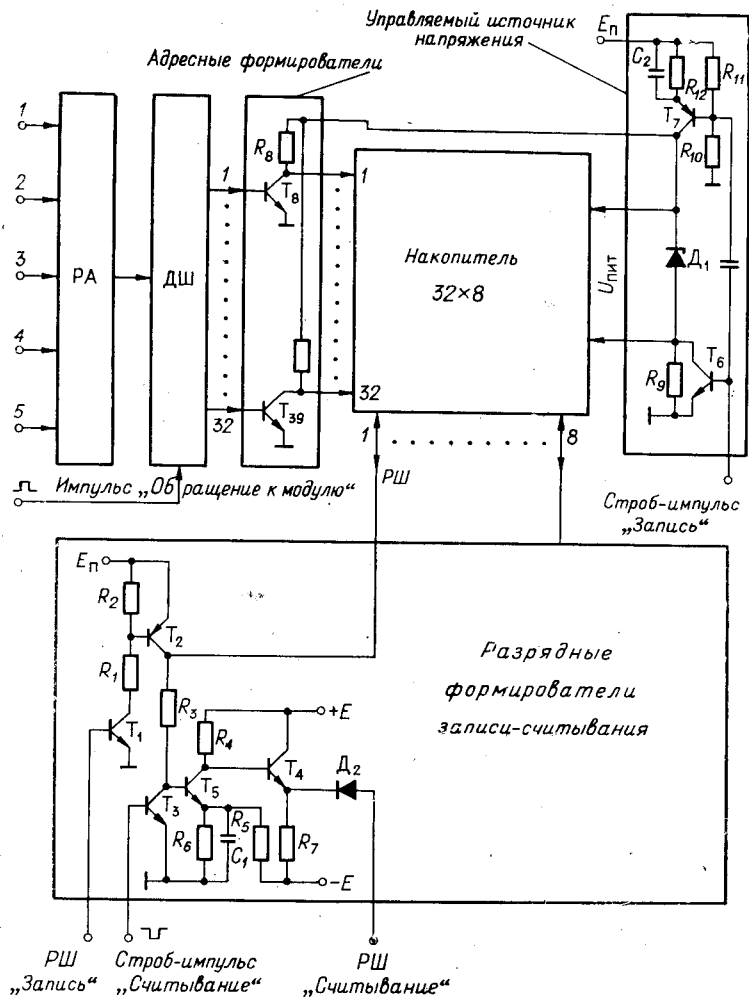


Рис. 1.

питания накопителя и импульсного питания адресных формирователей отпадает необходимость в управляющих сигналах отрицательной полярности.

Разрядный формирователь записи — считывания состоит из ключей T<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub> и усилителя считывания T<sub>4</sub>, T<sub>5</sub>. Ключ T<sub>3</sub> предназначен для исключения перегрузки усилителя в режиме «Запись» и для быстрого разряда паразитных емкостей в режиме «Считывание». Ключи T<sub>1</sub>, T<sub>2</sub> формируют на разрядной шине импульс напряжения амплитудой 12 В при записи логической «1». Диод D<sub>2</sub> является элементом логической схемы ИЛИ и служит для согласования модулей при увеличении количества слов.

Порядок работы модуля ОЗУ можно пояснить по временной диаграмме, изображенной на рис. 2. В исходном состоянии (при отсутствии импульсов «Запрос») ключи T<sub>3</sub> и T<sub>6</sub> замкнуты, а T<sub>1</sub>, T<sub>2</sub>, T<sub>8</sub>—T<sub>39</sub> разомкнуты. При этом напряжения на адресных шинах накопителя равны +6 В, а его разрядные шины через резистор R<sub>3</sub> заземлены.

При поступлении импульса «Запрос» (эпюра «а») в устройстве управления вырабатываются управляющие сигналы, соответствующие выбранному режиму. В режиме «Запись» ключ T<sub>6</sub> размыкается строб-

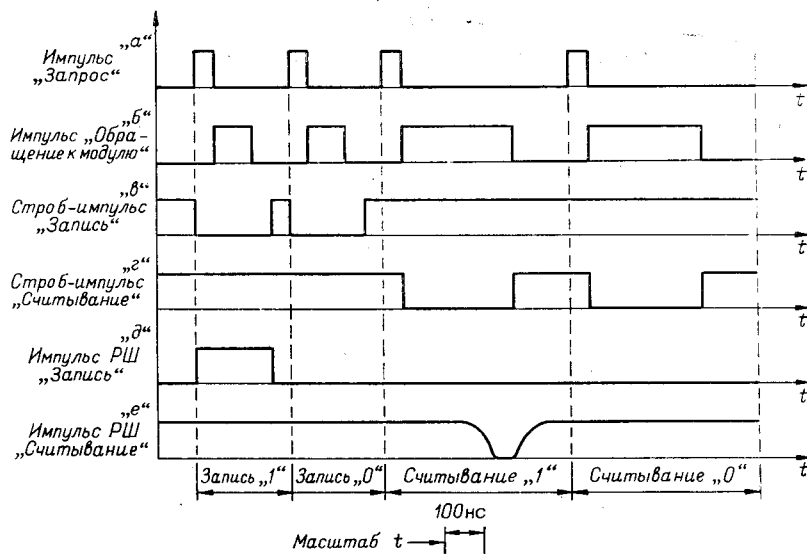


Рис. 2.

импульсом «Запись» (эпюра «в»), а ключи  $T_2$  замкнуты при записи «1» на время, равное 200 нс, и разомкнуты при записи «0» (эпюра «д»). Однако запись информации по выбранному адресу произойдет только при подаче на окончательную ступень дешифратора Дш импульса «Обращение к модулю» (эпюра «б»), длительность которого равна 100 нс.

В режиме считывания ключ  $T_6$  остается замкнутым,  $T_1$  и  $T_2$  разомкнуты, а ключи  $T_3$  разрядных формирователей размыкаются строб-импульсом «Считывание» (эпюра «г»). Одновременно поступает импульс «Обращение к модулю» длительностью  $t_{сч} = 300$  нс и на выходе усилителя появляется импульсный сигнал считывания логической «1» (эпюра «е»). Выбор такой длительности  $t_{сч}$  обусловлен относительно большим временем заряда разрядной шины.

Действительно, в этом режиме запоминающую ячейку МОП-интегральной матрицы можно представить в виде генератора тока, дающего  $I_{сч}(1) = 40$  мкА при считывании логической «1» и  $I_{сч}(0) = 5$  мкА при считывании логического «0» [1].

Этим током заряжается паразитная емкость  $C_{ш}$ , которая складывается из паразитной емкости разрядной шины накопителя и входной емкости усилителя чтения и составляет примерно 50 пФ. Для открывания кремниевого транзистора  $T_5$  при считывании логической «1» необходимо зарядить емкость  $C_{ш}$  до напряжения  $U_{сч}(1) \approx 0,7$  В. Исходя из этого, можно найти время заряда емкости разрядной шины при считывании по формуле

$$t_{ш} = \frac{U_{сч}(1) C_{ш}}{I_{сч}(1)} = \frac{0,7 \cdot 50 \cdot 10^{-12}}{40 \cdot 10^{-6}} \approx 900 \text{ нс.}$$

Для получения большего быстродействия выберем рабочую точку транзистора  $T_5$ , задавая  $U_{см} = -0,5$  В от дополнительного источника напряжения смещения; тогда

$$t_{ш} = \frac{[U_{сч}(1) - U_{см}] C_{ш}}{I_{сч}(1)} = \frac{0,2 \cdot 50 \cdot 10^{-12}}{40 \cdot 10^{-6}} = 250 \text{ нс.}$$

На рис. 3 показан пример организации ОЗУ на 64 16-разрядных слова. Как видно из блок-схемы, основные управляющие сигналы под-

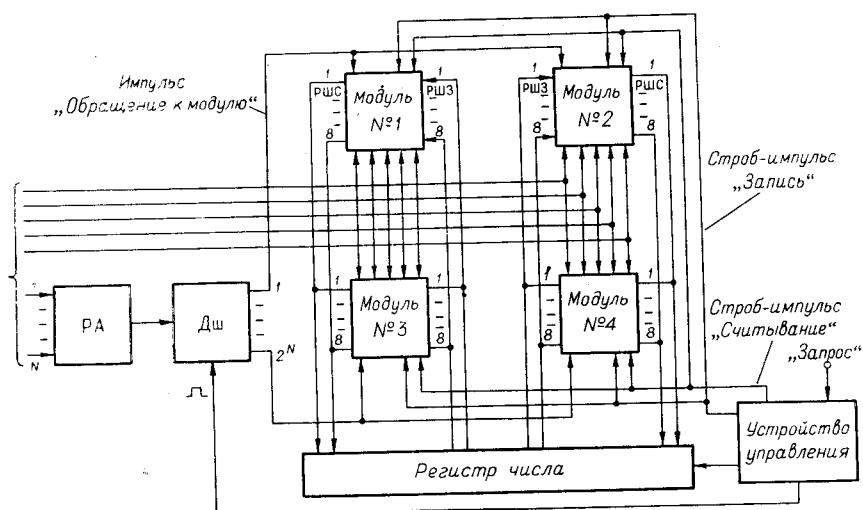


Рис. 3.

водятся к модулям по параллельным шинам, что и позволяет получать высокое быстродействие всего ОЗУ.

С повышением информационной емкости ОЗУ путем увеличения разрядности слов импульс «Обращение к модулю» подается одновременно на все модули.

При расширении информационной емкости путем увеличения количества адресов импульсы «Обращение к модулю» поочередно формируются на выходе одноступенчатого дешифратора Дш, на входы которого подаются сигналы с регистра адреса РА блока управления. Следует отметить, что при данной организации ОЗУ единственным ограничением при увеличении информационной емкости является нагрузочная способность базовых элементов устройства управления, и конкретная организация блока ОЗУ непосредственно скажется на конструкции блока управления.

Описанный модуль использован в буферном запоминающем устройстве емкостью 128 8-разрядных слов, разработанном для быстродействующего спектрофотометра [2]. Такое ЗУ соответствует приведенному примеру расширения информационной емкости путем увеличения количества адресов на базе четырех разработанных модулей при наличии блока управления. Функциональная схема блока управления представлена на рис. 4. Для обеспечения доступа к любому из четырех модулей блок управления имеет 2-разрядный регистр адреса (РА) со стробируемым одноступенчатым дешифратором.

Формирование импульсов необходимой длительности и задержки (см. рис. 2) осуществляется с помощью нескольких одновибраторов, запускаемых внешним сигналом «Запрос». Требуемые задержки получены на линии задержки, собранной из цепи последовательно соединенных инверторов на микросхемах серии 155. Одновибраторы в зависимости от режима работы ОЗУ обеспечивают получение необходимых управляющих и стробирующих импульсов.

Для записи информации используется 8-разрядный буферный регистр числа (БРЧ), содержание которого передается параллельно на одноименные разрядные шины (РШ «Запись») разрядных формирователей записи всех четырех модулей в виде импульсов «Запись» (см. рис. 2).

Считываемая с выбранного модуля информация в виде кода 8-разрядного числа поступает через логические схемы ИЛИ на выход блока

управления в импульсном виде. Длительность импульсов 150—200 нс, а амплитуда +2,4 В.

Таким образом, блок управления выполняет роль устройства согласования четырех модулей ЗУ с внешними по отношению к блоку ОЗУ устройствами и вырабатывает следующие стандартные сигналы обращения к запоминающим устройствам: сигнал обращения (импульс «Запрос»), сигнал рода работ ОЗУ (режим «Запись — чтение») потенциальный код адреса, потенциальный код числа при записи и импульсный код числа при чтении.

Разработанный блок управления позволяет включить восемь идентичных модулей в параллель (256 8-разрядных слов), поскольку его

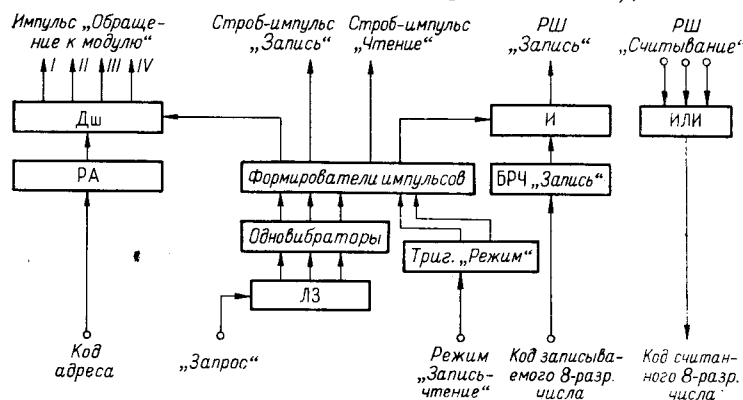


Рис. 4.

элементарной базой являются микросхемы серии 155, имеющие нагрузочную способность 8. При этом для выбора конкретного модуля регистра адреса должен быть 3-разрядным.

В результате проделанной работы получены следующие технические характеристики ОЗУ: 1) информационная емкость 1024 бит ( $128 \times 8$ ); 2) максимальная частота обращения в режиме «Запись» 4 МГц; 3) максимальная частота обращения в режиме «Считывание» 2 МГц; 4) параметры импульсов обращения в режимах чтения и записи: длительность 100 нс, амплитуда +2,4 В; 5) параметры выходных считываемых импульсов: длительность 150—200 нс, амплитуда +2,4 В; 6) габариты одного модуля ОЗУ  $360 \times 200 \times 20$ ; 7) диапазон рабочих температур от 0 до +60° С.

Для проверки работоспособности всего блока ОЗУ, а также любого отдельного модуля разработан блок контроля, позволяющий создавать простейшие испытательные тесты для ЗУ. Этот блок состоит из 5-разрядного адресного счетчика для последовательного перебора адресов выбранного модуля, который может управляться вручную кнопками на передней панели; 8-разрядного регистра записываемого числа, тоже управляемого кнопками; 8-разрядного регистра считываемого числа, нагруженного на лампы индикации на передней панели блока.

Контроль заключается в визуальной проверке соответствия показаний кнопок и ламп при чтении на низкой частоте (1 Гц). Кроме того, этот блок вырабатывает все необходимые для работы одного модуля ЗУ управляющие и стробирующие сигналы.

Блок контроля позволяет осуществить три рода проверок.

1. Контроль ЗУ в режимах записи и чтения по фиксированному адресу.

2. Контроль ЗУ в режимах записи и чтения при однократном обращении по всем адресам. При таком контроле производится запись

однородной информации (определяемой положением кнопок) на высокой частоте, а затем чтение на низкой частоте для проверки соответствия показаний кнопок и ламп.

3. Этот контроль в отличие от пункта 2 осуществляет многократное обращение последовательно по всем адресам как при записи, так и при чтении.

В каждом из трех случаев возможна работа в режиме «Запись», «Чтение» или «Запись — чтение». Последний режим характеризуется периодической сменой режима «Запись» на режим «Чтение» каждым импульсом обращения, для чего в блоке предусмотрен специальный триггер, управляемый импульсами обращения.

Тактовая частота задается внешним импульсным генератором при проверке работоспособности отдельного модуля, а в случае проверки всего блока ОЗУ используется автономный генератор двух частот для записи (2 МГц) и чтения (1 Гц), позволяющий осуществить контроль всего блока ОЗУ, находящегося в сборе с блоками спектрофотометра.

#### ЛИТЕРАТУРА

1. В. К. Прядилов и др. Элементы памяти и матрицы на взаимодополняющих МОП-транзисторах.— Электронная промышленность, 1971, № 1.
2. В. А. Беломестных и др. Структура системы сбора данных для быстродействующего спектрофотометра.— Конференция по автоматизации научных исследований на основе применения ЭВМ. Тезисы докладов. Новосибирск, 1972.

*Поступила в редакцию 23 октября 1972 г.*

УДК 621.382+317

**Л. С. СИТНИКОВ, Л. Л. УТЯКОВ**

*(Москва)*

### **СЧЕТЧИКОВЫЕ СТРУКТУРЫ НА ФАЗОИМПУЛЬСНЫХ ИНТЕГРАЛЬНЫХ ДЕКАДАХ**

Фазоимпульсное десятичное представление информации [1—4] получило широкое применение в серийно выпускаемой и разрабатываемой цифровой аппаратуре, например в счетчиках импульсов Ф588, Ф5005, Ф5007, частотомерах Ф599 и *r*-333, генераторе эталонных сигналов Ф-590, транскрипторе цифropечати Ф592, реле времени Е-533, кварцевых часах.

Специфика фазоимпульсного принципа представления информации, обуславливающая уменьшение числа внутрисхемных соединений и внешних выводов [5, 6], открывает новые возможности создания унифицированного ряда многофункциональных типовых микросхем повышенной степени интеграции, обеспечивающих простоту реализации таких типовых структур цифровой измерительной техники, как декадные делители частоты следования импульсов; делители с управляемым коэффициентом деления и масштабирующие блоки; многоразрядные декадные счетчики импульсов, в том числе реверсивные и предустановливаемые; десятичные и двоичные регистры памяти; преобразователи кодов; распределители и коммутаторы; узлы управления цифровыми индикаторами и другими оконечными устройствами.