

ВЫВОД

Использование двухтактного УВХ позволяет избежать затрат времени на выборку, но требует затрат времени на затухание переходных процессов в ключах каналов. Применение двухтактных УВХ дает возможность увеличить емкость накапливающего конденсатора и тем самым уменьшить статические погрешности УВХ, однако при этом увеличивается динамическая составляющая погрешности в режиме слежения.

ЛИТЕРАТУРА

1. В. А. Алексеев, А. Н. Касперович, Н. В. Литвинов. Динамическая погрешность аналого-цифровых преобразователей с устройством фиксации уровня измеряемого напряжения.— *Автометрия*, 1966, № 5.
2. А. Н. Касперович, Н. В. Литвинов. К вопросу о погрешности устройств выборки и запоминания.— *Автометрия*, 1971, № 5.
3. В. Н. Вьюхин. Компараторный фиксатор уровня напряжения.— *Автометрия*, 1968, № 6.
4. В. А. Алексеев. Об измерительной цепи быстродействующего АЦП.— В сб. «Методы и средства аналого-цифрового преобразования», вып. 1. Новосибирск, «Наука», 1969.
5. Г. А. Ведерникова, А. Н. Касперович. Устройство выборки и хранения ординат высокочастотного сигнала.— *Автометрия*, 1971, № 3.
6. В. Н. Вьюхин. Наносекундный фиксатор уровня.— *Приборы и техника эксперимента*, 1972, № 3.

Поступила в редакцию 19 октября 1972 г.

УДК 621.142.681

В. А. БЕЛОМЕСТНЫХ, А. Н. КАСПЕРОВИЧ
(Новосибирск)

АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ ПОВЫШЕННОГО БЫСТРОДЕЙСТВИЯ

В последнее время для автоматизации различных научных экспериментов широкое применение находят измерительные системы сбора и обработки информации, содержащие мини-ЭВМ. В этих системах сбор данных должен происходить в темпе исследуемого процесса, в связи с чем аналого-цифровые преобразователи (АЦП) нередко должны обладать повышенным быстродействием (при сохранении обычных требований к точности). Также становится необходимым введение быстродействующих буферных запоминающих устройств для согласования темпа получения цифровой информации и быстродействия запоминающих устройств, используемых в ЭВМ.

АЦП поразрядного уравнивания, построенные при использовании современной элементной базы, позволяют получать быстродействие 10^6 измерений в секунду [1, 2]. Чтобы получить большее быстродействие, приходится использовать АЦП поразрядного совпадения или, иначе говоря, параллельно-последовательного кодирования, однако известные реализации таких приборов обеспечивают точность, соответствующую 7—8 разрядам [3, 4].

Настоящая работа посвящена выбору структурной схемы и описанию наиболее интересных узлов 9-разрядного аналого-цифрового преобразователя с быстродействием порядка $2 \cdot 10^6$ измерений в секунду, работающего по методу поразрядного совпадения.

В таких приборах используются либо несколько наборов компараторов (НК) (один на каждом такте), либо один НК с перестраиваемыми на каждом такте порогами срабатывания.

Очевидно, что первые могут обеспечить большее быстродействие, но будут более сложными. Количество компараторов в них $N = A \left(2^{\frac{n}{A}} - 1 \right)$, где A — число тактов; n — число разрядов.

Как известно, АЦП поразрядного совпадения могут быть асинхронные и синхронные [5]. Асинхронные адаптивные АЦП с перестраиваемыми порогами отличаются простотой ($N=n$) и большим быстродействием, но обладают малой точностью [6]. Кроме того, трудно синхронизировать их работу с другими устройствами. Поэтому было решено использовать структуру синхронного АЦП поразрядного совпадения с перестраиваемыми на каждом такте порогами срабатывания компараторов. У таких АЦП число компараторов значительно меньше и равно

$$N = 2^{\frac{n}{A}} - 1.$$

Выбор количества тактов A и количества компараторов N определяется числом разрядов и временем измерения. Как показывает опыт, в 9-разрядных АЦП поразрядного уравнивания такт длится не менее 100 нс. Имея в виду, что АЦП с НК требуют дополнительных затрат времени, в том числе на дешифрацию кода, при данных начальных условиях однозначно находим $A=3$ и $N=7$.

Далее встает важный вопрос о методе вычитания из преобразуемой величины ($U_{вх}$) компенсирующей величины, значение которой получено на предыдущем такте, поскольку от его решения в значительной степени зависят затраты на оборудование и дополнительная потеря времени. Как известно, это вычитание может быть выполнено за счет использования 6-разрядных ЦАП на каждый компаратор или за счет применения одного суммирующего усилителя на входе АЦП.

Было решено использовать суммирующий усилитель, поскольку подобное решение дает экономию оборудования, хотя и требует дополнительных потерь времени на затухание переходных процессов.

Для перестройки порогов срабатывания компараторов имеет смысл применить дополнительные 2-разрядные цифро-аналоговые преобразователи (ЦАПД). Обойтись без перестройки порогов позволило бы использование суммирующего усилителя с изменяемым коэффициентом усиления, однако сделать такой усилитель достаточно быстродействующим трудно.

Исходя из указанных выше рассуждений был определен вид структурной схемы АЦП (рис. 1). В ее состав входят: суммирующий усилитель (СУ), 7-разрядный основной ЦАП, компараторы (К), ЦАПД, дешифраторы (Д), регистр промежуточной памяти (РПП), выходной регистр (ВР) и блок управления (БУ).

АЦП работает следующим образом. Преобразуемое напряжение через резистор R поступает на вход СУ, сюда же поступают разрядные токи ЦАП. Сигнал с выхода СУ через резисторы подается на входы компараторов. Помимо этого, на вход каждого компаратора, кроме четвертого, с ЦАП поступают калиброванные токи, смещающие пороги срабатывания компараторов на первом и втором тактах. Токи, определяющие пороги срабатывания компараторов на третьем такте, не коммутируются. Четвертый компаратор работает всегда при нулевом смещении, три при положительном и три при отрицательном смещении.

Образующийся на выходе компараторов унитарный код преобразуется с помощью дешифратора в код Грея. Значения старших разрядов, полученных в результате преобразования на первом и втором тактах, заносятся в регистр промежуточной памяти, который через второй дешифратор, преобразующий код Грея в двоичный, управляет работой ЦАП.

Значения всех разрядов со второго дешифратора в конце третьего такта одновременно переносятся в выходной регистр. Таким образом, 9-разрядный выходной регистр хранит информацию, начиная с конца третьего такта, когда в него заносится результат преобразования, до конца третьего такта последующего измерения, когда информация об-

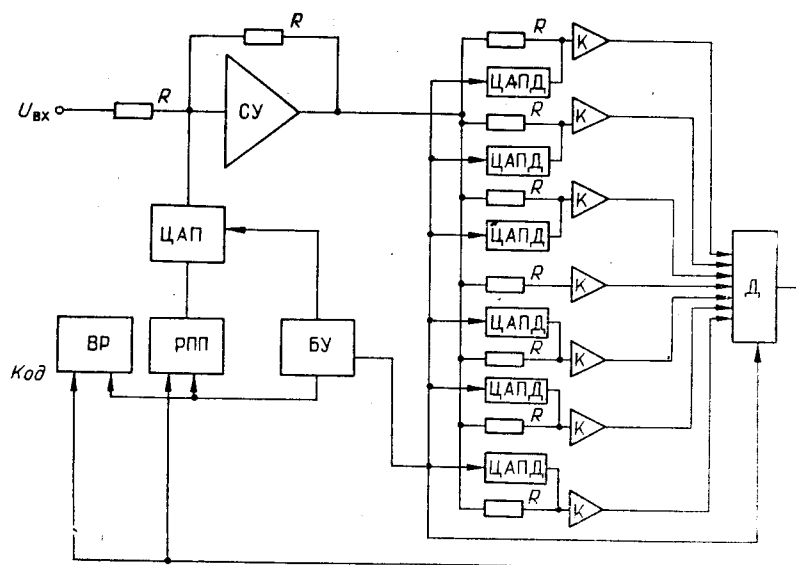


Рис. 1.

новляется. Это максимально увеличивает время на считывание результата преобразования и способствует лучшей работе схемы индикации двоичного кода.

Поскольку время установления переходных процессов на выходе операционного усилителя зависит от амплитуды сигнала, подаваемого на его вход, целесообразно на каждом такте задавать значение компенсационной величины, равное половине диапазона, оцениваемого НК на данном такте. При этом максимальное изменение выходного напряжения в худшем случае будет вдвое меньше.

Для возможности такого вычитания формирователи компенсационных токов первого и четвертого разрядов ЦАП управляются через двухвходовые схемы ИЛИ, на один вход которых поступают соответствующие сигналы с выхода регистра промежуточной памяти, а на другой — потенциалы с блока управления. Седьмой разряд управляется только потенциалом с блока управления.

Блок управления выдает на выход четыре коротких импульса и три потенциала, соответствующих трем тактам. Три коротких импульса в момент окончания каждого такта производят опрос компараторов, а четвертый следует с задержкой 30 нс от конца третьего такта и служит для установления в «0» регистра промежуточной памяти. Потенциалами управляются формирователи компенсационного тока первого, четвертого и седьмого разрядов ЦАП. Сигналом внешнего запуска через некоторую задержку вырабатывается импульс конца первого такта

и потенциал второго такта, вследствие чего длительность первого такта определяется частотой запуска.

При проектировании АЦП поразрядного совпадения следует иметь в виду, что они могут обладать специфической ошибкой. В случаях, когда входная величина находится на грани срабатывания одного из компараторов, на выходе дешифратора, преобразующего унитарный код в двоичный, может возникнуть значительная ошибка, не устраняющаяся на последующих тактах. Вероятность возникновения ошибки любой величины определяется выражением

$$P = \frac{NA}{2^n - 1} \frac{\alpha}{h},$$

где α — зона, в которой возможно получение ошибочного кода; h — квант.

Существует ряд способов, устраняющих возможность возникновения такой ошибки. К ним относится использование компараторов с памятью или компараторов с положительной обратной связью — регенеративного типа. Другие способы связаны с привлечением дополнительных логических узлов, например промежуточного преобразователя унитарного кода, получаемого с выходов компараторов, в код Грея. Наконец, можно использовать алгоритмы преобразования, исправляющие ошибки на последующих тактах за счет избыточного количества компараторов и расширения функций дешифратора до простейшего сумматора. Последние способы неизбежно вносят задержку за счет последовательного включения дополнительных логических элементов.

Целесообразность применения того или иного способа устранения ошибки в значительной степени зависит от конкретной структурной схемы АЦП. Для структурной схемы, рассматриваемой здесь, минимальные аппаратные затраты и потери быстродействия получаются при применении промежуточного преобразования унитарного кода в код Грея.

При использовании АЦП с суммирующим усилителем следует помнить о возможности возникновения дополнительной погрешности, возникающей за счет протекания входного тока через внутреннее сопротивление источника $U_{вх}$. Чтобы эта дополнительная погрешность не превышала $h/2$, выходное сопротивление источника $U_{вх}$ должно быть ограничено

$$R_{вых} \leq \frac{R}{2(D - N)},$$

где $D = 2^n - 1$.

Значительных усилий потребовала разработка СУ, принципиальная схема которого показана на рис. 2. СУ представляет собой двухкаскадный дифференциальный каскадный усилитель с выходным эмиттерным повторителем на транзисторах разного типа проводимости.

Статические параметры СУ с обратной связью следующие: коэффициент передачи 1; нелинейность в диапазоне $\pm 2,5$ В составляет ± 1 мВ (без нагрузки); выходное сопротивление 0,3 Ом; коэффициент подавления синфазной составляющей 140. Динамические параметры: задержка распространения сигнала 15 нс; скорость нарастания выходного напряжения 30 В/мкс. Параметры при разомкнутой петле обратной связи: выходное сопротивление 500 кОм; коэффициент передачи 1000.

Каждый компаратор представляет собой двухкаскадный дифференциальный усилитель, схема которого аналогична описанной в [2]. Экспериментально определенное значение α составило менее 3 мВ.

Все резисторы R , определяющие масштаб преобразования напряжение — ток на входе компараторов, имеют номинал 1 кОм. Такой номинал обусловлен, с одной стороны, стремлением увеличить скорость

затухания переходных процессов, а с другой — трудностью получения малого выходного сопротивления СУ.

ЦАПД и ЦАП выполнены по простейшей схеме. Разрядные токи формируются посредством резисторов от эталонного источника 27 В и коммутируются с помощью диодных переключателей. Для увеличения быстродействия токи трех младших разрядов ЦАП суммируются через делитель. Максимальное значение выходного тока основанного ЦАП определяется выражением

$$I_{\max} = \frac{h}{2}(D - N).$$

Блок управления выполнен на элементах задержки с внешним запуском. Каждый элемент задержки собран на основе микросхемы ДТЛ, к одному из входов которой присоединен конденсатор.

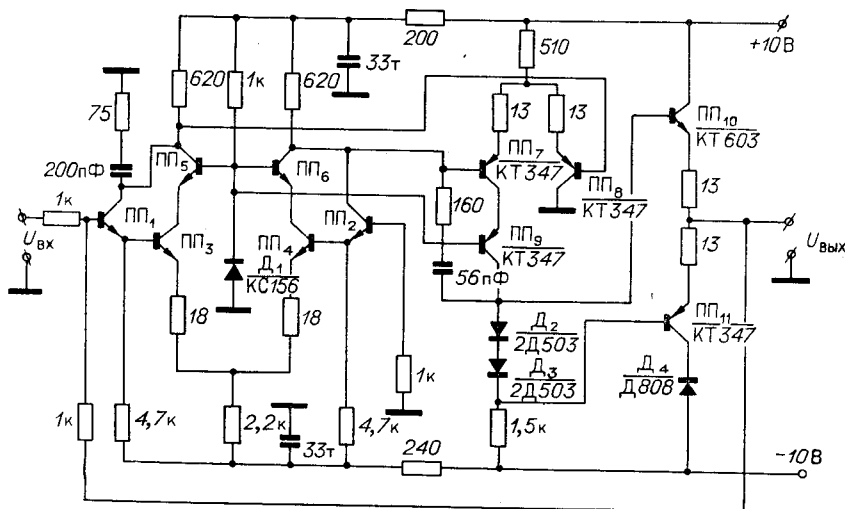


Рис. 2.

Для сокращения задержки распространения сигнала в цифровой части ЦАП, включающей в себя дешифратор, регистры и блок управления, в качестве элементной базы используются интегральные микросхемы на переключателях тока серии 137.

Суммирующий усилитель и компараторы выполнены на дискретных компонентах с применением высокочастотных кремниевых транзисторов, причем в первом каскаде (ПП₁—ПП₆ на рис. 2) этих устройств используются пары транзисторов, изготовленные на одной подложке.

Разработанный АЦП содержит параллельно-последовательное соединение суммирующего усилителя и компараторов. Коэффициент передачи в этом тракте превышает единицу, и суммирующий усилитель, будучи скорректирован отдельно, теряет устойчивость. Требуется дополнительная коррекция усилителя, учитывающая влияние паразитных обратных связей между входом СУ и выходами компараторов. Этим определяются количественные характеристики процесса установления выходного сигнала СУ, а также достигнутое быстродействие АЦП.

Конструктивно АЦП выполнен в виде двенадцати небольших плат, на которых смонтированы отдельные узлы. Эти платы устанавливаются с помощью разъемов на несущую кроссировочную плату, смонтированную в каркас стандартного блока размером 120×240×400.

Проверка показала, что преобразователь обладает следующими параметрами: диапазон изменения входного сигнала 0—5 В; число двоичных разрядов выходного кода 9; погрешность преобразования $\delta = 0,1\% U_{вх} \pm 1$ квант; максимальная частота запуска 1,7 МГц; уровень выходных логических сигналов 0—4 В.

ЛИТЕРАТУРА

1. Быстродействующий аналого-цифровой преобразователь.— Электроника, 1969, № 17.
2. В. А. Алексеев, В. А. Беломестных, В. Н. Вьюхин, А. Н. Касперович, Ю. А. Попов, В. И. Солоненко. Многоточечная быстродействующая цифровая система сбора и хранения информации.— Автометрия, 1971, № 4.
3. Миниатюрный быстродействующий аналого-цифровой преобразователь.— Электроника, 1971, № 16.
4. М. Е. Овчарук. Наносекундный преобразователь напряжение — код.— В сб. «Аналого-цифровые и цифро-аналоговые преобразователи», вып. 2. Киев, 1969.
5. А. Н. Касперович, Г. Г. Матушкин. Классификация методов аналого-цифрового преобразования.— Аналого-цифровые преобразователи. Труды семинара. Новосибирск, 1971.
6. В. А. Беломестных, А. Н. Касперович. Быстродействующий асинхронный аналого-цифровой преобразователь.— Автометрия, 1970, № 2.

Поступила в редакцию 10 октября 1972 г.