

В. И. ДАВЫДОВ
(Одесса)

ИМПУЛЬСНЫЙ МНОГОПороГОВЫЙ ЛОГИЧЕСКИЙ ЭЛЕМЕНТ НА ТУННЕЛЬНЫХ ДИОДАХ

В настоящее время устройства измерительных и управляющих систем выполняются главным образом на бесконтактных логических элементах, каждый из которых выполняет какую-либо одну логическую операцию (например, И, ИЛИ, НЕ и т. п.). Сложные логические выражения реализуются функционально полным набором таких элементов.

В последнее время интенсивно разрабатываются полилогические элементы [1—3], которые позволяют реализовать на одном логическом элементе сложные логические выражения. Применение полилогических элементов при построении релейных структур позволяет значительно уменьшить количество функциональных элементов в структуре, существенно повысить быстродействие устройства, увеличить надежность функционирования его, уменьшить объем и вес аппаратуры, а также уменьшить потребление энергии.

Перспективными в этом отношении являются многопороговые логические элементы (МПЛЭ). Известно [4], что любая булева функция может быть реализована на одном МПЛЭ с достаточно большим числом порогов. Значение выходной переменной y МПЛЭ определяется выражением

$$y = \begin{cases} \tau, & \text{если } \sum_{i=1}^n W_i x_i < t_1, \text{ или } t_{2j} \leq \sum_{i=1}^n W_i x_i < t_{2j+1}, j = 1, 2, 3, \dots \\ \bar{\tau} & \text{в противном случае,} \end{cases}$$

где y — переменная, которая характеризует состояние выхода элемента и принимает

значения «0» или «1»; $t_1 \leq t_2 \leq \dots \leq t_m$ — значения порогов; $F(x) = \sum_{i=1}^n W_i x_i$ —

уровень входной функции элемента; τ — тип элемента, который характеризует значение выходной переменной y при нулевом уровне входной функции; x_i — переменная, которая характеризует состояние i -го входа и принимает одно из двух значений: «0» или «1»; W_i — вес i -го логического входа. Упорядоченный набор $[W_1, W_2, \dots, W_n; t_1, t_2, \dots, t_m]$ обозначается через $W; T$ и определяет МПЛЭ.

Известны МПЛЭ, выполненные с использованием кремниевых стабилитронов [3]. В данной работе рассматривается вопрос о построении МПЛЭ на туннельных диодах. Схема МПЛЭ на туннельных диодах сравнительно проста, обладает большим быстродействием и высокой надежностью. Схема двухпорогового логического элемента (рис. 1, а) состоит из сумматора входных логических переменных I , блока условного сравнения уровня входной функции с множеством эталонных чисел вектора изображения функции Z и формирователя выходной переменной 3 [2].

В качестве сумматора входных логических переменных могут быть использованы преобразователи «код — аналог» [5—7], поэтому в данной работе не рассматриваются возможные схемные реализации сумматора. Схема условного сравнения уровня входной функции с множеством эталонных чисел вектора изображения функции содержит два триггера, имеющих разные напряжения включения, и транзистор T_2 . Схема формирователя собрана на транзисторах T_1 и T_3 . Для того чтобы при одинаковых туннельных диодах напряжение включения триггера, выполненного на диоде D_2 , было больше напряжения включения триггера, выполненного на туннельном диоде D_1 , необходимо выполнить условие $R_1 < R_2$. Во избежание самовозбуждения схемы необходимо, чтобы значения резисторов R_1 и R_2 превышали модуль усредненного отрицательного сопротивления туннельного диода $\rho_0 = \frac{U_B - U_{\Pi}}{I_{\Pi} - I_B}$, где I_{Π} — величина соответствующая

току максимума на результирующей (кривая 3 на рис. 1, б) вольт-амперной характеристике туннельного диода (кривая 1) и параллельно включенного транзистора (кривая 2); I_B — величина, соответствующая току минимума на результирующей вольт-амперной характеристике; U_{Π} — напряжение, соответствующее току максимума; U_B — напряжение, соответствующее току минимума.

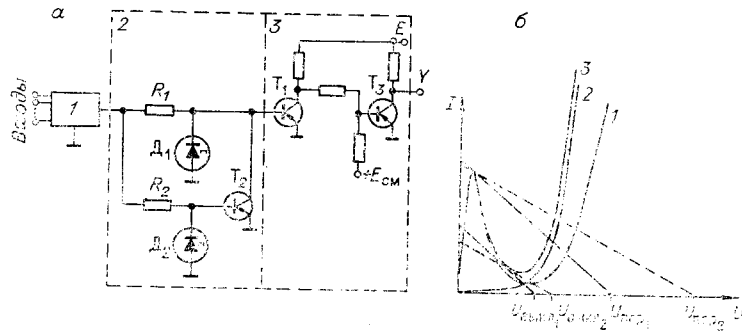


Рис. 1.

Рассмотрим, как будет изменяться значение выходной переменной y элемента при увеличении в сторону отрицательных значений выходного напряжения сумматора U_{Σ} (что равносильно увеличению уровня входной функции элемента $F(X) = \sum_{i=1}^n W_i x_i$).

При нулевом значении напряжения U_{Σ} ни через один туннельный диод ток не протекает, транзисторы T_1 и T_2 закрыты и выходная переменная y элемента имеет значение, равное «нулю» (рис. 2, а). Точки пересечения линий нагрузок с вольт-амперными характеристиками туннельных диодов дают величины напряжений на диодах D_1 и D_2 . Пока токи диодов меньше своего пикового значения, напряжения на диодах и транзисторы T_1 и T_2 остаются закрытыми. Однако, когда напряжение U_{Σ} достигает значения напряжения включения диода D_1 ($U_{\Sigma_1} = U_{пор_1}$), диод D_1 переключается на диффузионную ветвь, напряжение U_1 на диоде D_1 резко возрастает, в результате чего транзистор T_1 открывается, и значение выходной переменной элемента становится равным «единице» (см. на рис. 2, а точку t_1). При этом транзистор T_2 закрыт, так как ток I_2 , протекающий через второй диод, меньше своего максимального значения. Используя рис. 1, а, запишем выражение, определяющее значение первого порога $U_{\Sigma_1} = U_{пор_1} \approx U_n + I_n R_1$. При выходном напряжении суммирующей схемы, равном напряжению включения второго триггера $U_{\Sigma_2} = U_{пор_2} \approx U_n + I_n R_2$, диод D_2 переключается на диффузионную ветвь вольт-амперной характеристики и открывает транзистор T_2 . Транзистор T_2 шунтирует диод D_1 , тем самым возвращая его и транзистор T_1 в исходное состояние. Выходная переменная при этом принимает «нулевое» значение (см. на рис. 2, а точку t_2). При дальнейшем увеличении напряжения U_{Σ} состояние элемента не изменяется. Из рассмотрения рис. 2, а можно сделать вывод о том, что на выходе элемента при увеличении напряжения U_{Σ} реализуется двухпороговая характеристика.

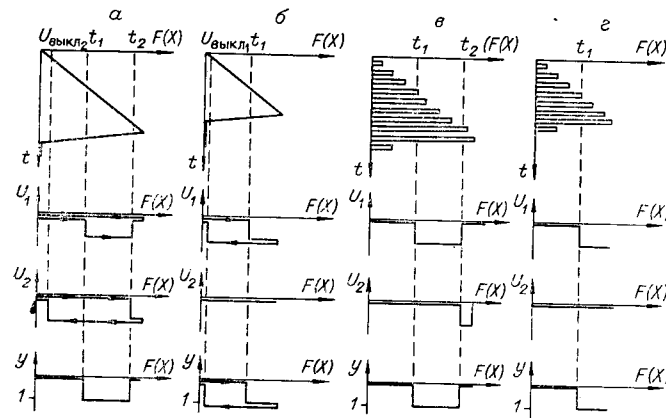


Рис. 2.

лишь при выходном напряжении суммирующей схемы $U_{\Sigma_3} = U_{\text{выкл}_2} \approx U_B + I_B R_2$, где $U_{\text{выкл}_2}$ — напряжение переключения туннельного диода D_2 с диффузионной ветви на туннельную. Схема перестает нормально функционировать и в том случае, когда напряжение U_{Σ} , превысив первый порог, спадает до нуля (см. рис. 2, б). В исходное состояние схема возвращается при напряжении $U_{\Sigma_1} = U_{\text{выкл}_1} \approx U_B + I_B R_1$, где $U_{\text{выкл}_1}$ — напряжение переключения туннельного диода D_1 с диффузионной ветви на туннельную.

Указанные недостатки устраняются при питании схемы импульсным П-образным напряжением. При этом выходная переменная y элемента равна «нулю», когда импульсное напряжение U_{Σ} меньше напряжения первого порога, и равна «единице», как только напряжение U_{Σ} достигает значения первого порога, и вновь становится равным «нулю» при превышении второго порога. При импульсном питании элемент реагирует на спадающий выходной сигнал суммирующей схемы, что иллюстрируется рис. 2, в, г.

На основе рассмотренного двухпорогового логического элемента может быть построен МПЛЭ. На рис. 3, а приведены выходные характеристики y_1, y_2, y_3 трех двухпороговых элементов, имеющих соответственно пороги t_1 и t_2, t_3 и t_4, t_5 и t_6 ($t_1 \leq t_2 \leq t_3 \leq t_4 \leq t_5 \leq t_6$), и выходная характеристика шестипорогового логического элемента Y . Из рис. 3, а следует что $Y = y_1 + y_2 + y_3$. Для выходной функции МПЛЭ, состоящего из n двухпороговых элементов (см. рис. 3, б) с различными парами порогов, можно записать $Y = y_1 + y_2 + y_3 + \dots + y_n$.

МПЛЭ, выполненный по схеме рис. 3, б, обладает высокой стабильностью, так как пороги элемента определяются максимальными токами и туннельной частью вольт-амперной характеристики туннельного диода.

Экспериментальная проверка МПЛЭ показала: 1) высокое быстродействие схемы, которое определяется в основном граничной частотой переключения применяемых транзисторов; 2) возможность построения элемента с большим количеством порогов (был исследован десятипороговый логический элемент при изменении напряжения на выходе сумматора в диапазоне 0—20 В); 3) сравнительную простоту изменения величины порога, которая может быть осуществлена путем: а) изменения величины резистора, включенного последовательно с туннельным диодом; б) выбора туннельных диодов с различными максимальными токами; 4) возможностью применения рассмотренного МПЛЭ для целей автоматики и вычислительной техники.

Для определения W ; T МПЛЭ по заданному выражению булевой функции разработаны различные методы синтеза. Так, для синтеза элемента четырех и менее логических переменных может быть применен табличный метод, подробно рассмотренный в [8].

ЛИТЕРАТУРА

1. А. П. Вишнеvский. Полилогические элементы на базе перестраиваемых автогенераторов.— Автоматика и телемеханика, 1966, № 11.
2. А. П. Вишнеvский. Полилогические элементы со сдвигом изображения функции и их применение.— Автометрия, 1970, № 1.

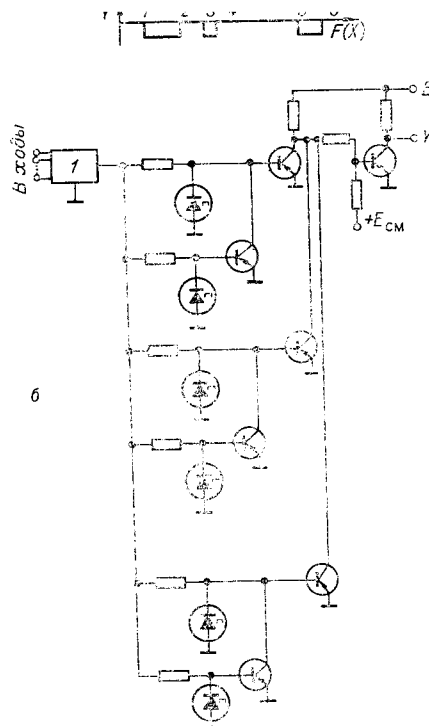


Рис. 3.

3. В. И. Давыдов. Многопороговый логический элемент.— Автоматика и вычислительная техника, 1969, № 4.
4. P. Ergoli, L. Mercurio. Threshold logic with one more than one threshold.— Inform. Process., 1962. Amsterdam, N. Holland Publ. Co, 1963.
5. Б. В. Анисимов, В. Н. Четвериков. Преобразование информации для ЭЦВМ. М., «Высшая школа», 1968.
6. Е. А. Дроздов, А. П. Пятибратов. Автоматическое преобразование и кодирование информации. М., «Советское радио», 1964.
7. А. И. Кондалев. Преобразователи формы информации. Киев, «Наукова думка», 1965.
8. D. R. Haring, D. A. Ohori. A Tabular Method for the Synthesis of Multithreshold Threshold Elements.— IEEE Trans. Electron. Comput., 1967, v. 16, № 2.

Поступило в редакцию
5 апреля 1971 г.,
окончательный вариант —
7 июня 1971 г.

УДК 681.34

М. Б. НИКИФОРОВ, Г. О. ПАЛАМАРЮК
(Рязань)

ОПРЕДЕЛЕНИЕ ПАРАМЕТРОВ ДВИЖЕНИЯ ОБЪЕКТОВ ИНТЕГРИРОВАНИЕМ СИГНАЛОВ ЧАСТОТНЫХ ДАТЧИКОВ

В ряде систем автоматического управления возникает задача определения скорости объекта $V(t)$ и пройденного им пути $S(t)$ по известному значению ускорения $W(t)$. При наличии частотных датчиков ускорения поставленная задача (рис. 1) сводится к двойному интегрированию частотно-импульсного сигнала.

Значение $V(t)$ может быть определено подсчетом импульсов частоты $F_W(t)$ на любом пересчетном устройстве; при этом его код равен

$$N_V(t) = \text{Ent} \left[\int_0^t F_W(t) dt \right]. \quad (1)$$

Мгновенная погрешность определения $V(t)$ не превышает величины $\delta_{\max} = \frac{1}{n+1}$, где $n+1$ число разрядов интегратора обусловленное максимальным временем интегрирования и диапазоном частоты $F_W(t)$, выбором которого можно обеспечить любую заданную δ_{\max} .

Простейшим цифровым преобразователем кода в частоту является двоичный умножитель (ДУ) [1], представленный на рис. 2. Основным недостатком ДУ является

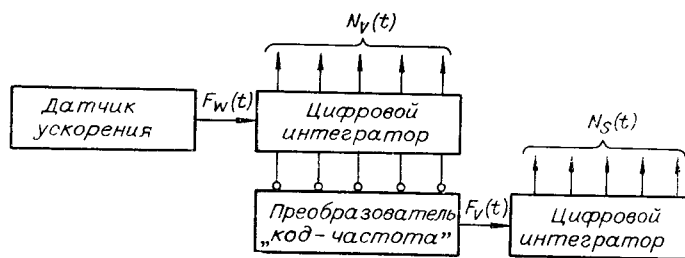


Рис. 1.